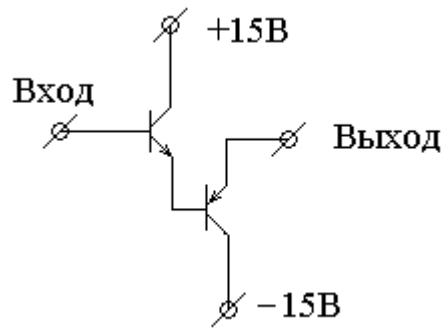
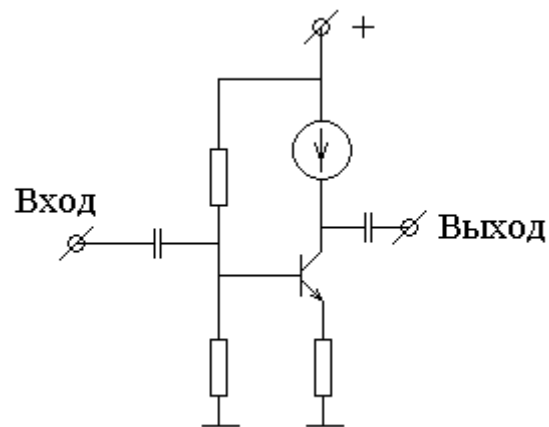
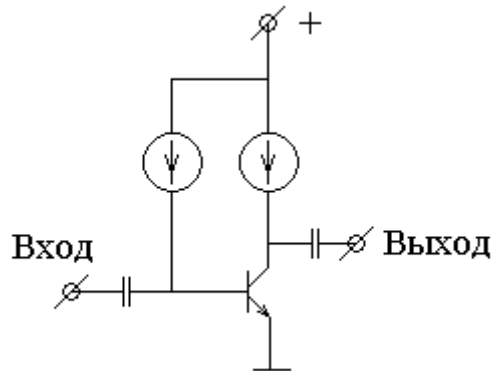


Негодные схемы (проверка).

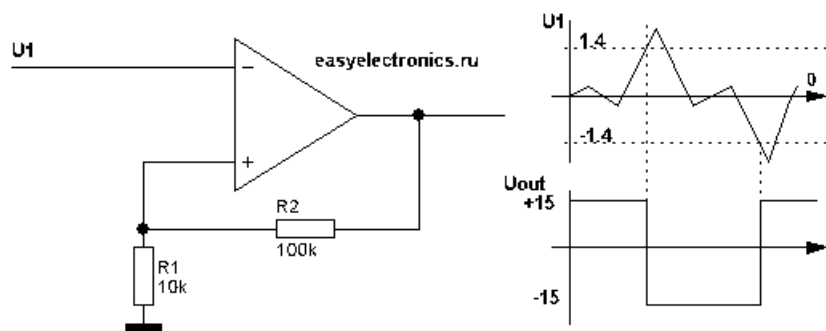
Повторитель с нулевым смещением:

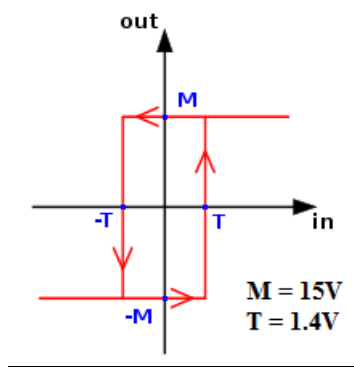


Усилитель переменного тока с большим коэффициентом усиления:



Триггер Шмитта.





Компаратор.

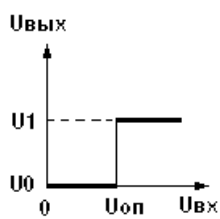
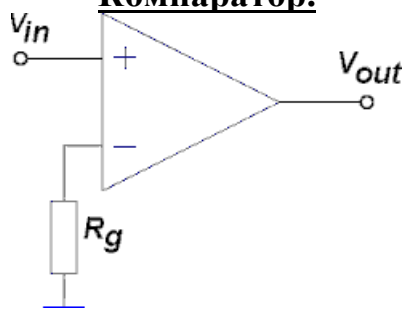
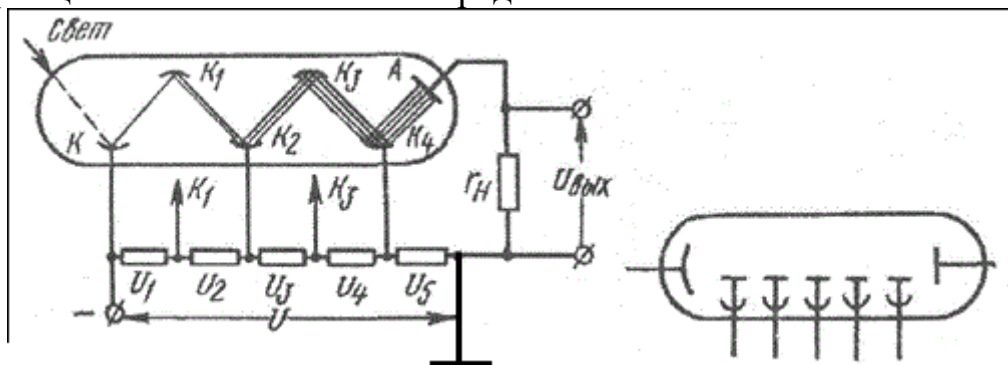
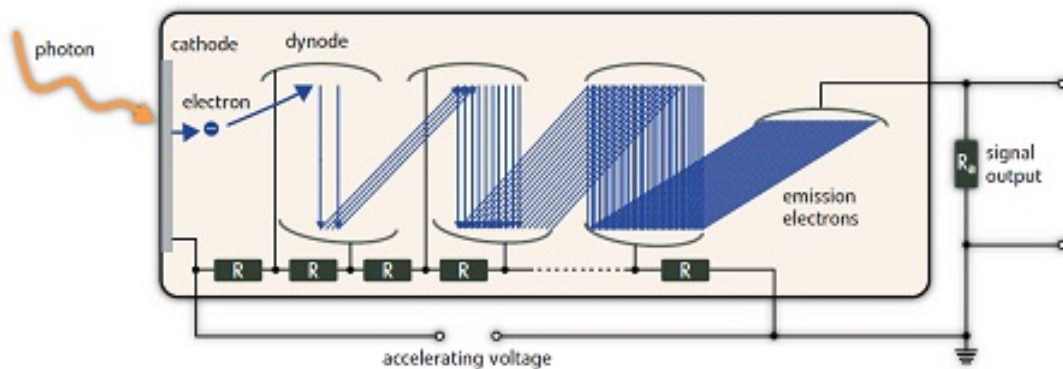


Схема счета фотонов, ФЭУ, лавинный фотодиод.

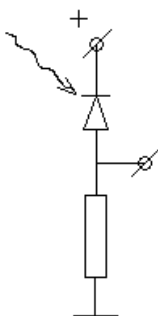
Компаратор часто используется в схеме счета фотонов. Сигнал, который нужно усилить компаратором, формируется ФЭУ — фотоэлектронным умножителем, либо лавинным фотодиодом.

Принципиальная схема ФЭУ представлена ниже:



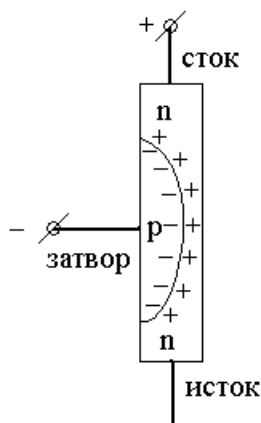


Лавинный фотодиод.



Полевой транзистор с *p-n* переходом.

Полевой транзистор, например, с *n*-каналом — это биполярный *n-p-n* транзистор, у которого между эмиттером *n*-типа и коллектором *n*-типа образовался тонкий канал того же *n*-типа.



Названия электродов полевого транзистора аналогичны по смыслу названиям электродов биполярного транзистора: вместо эмиттера, базы, коллектора здесь — исток, затвор, сток.

Полевой транзистор — это сопротивление управляемое запирающим напряжением на затворе. Сопротивление *n*-канала между истоком и стоком зависит от напряжения на затворе.

Понижение потенциала затвора относительно истока сильнее запирает диод между затвором и *n*-каналом. При этом в *n*-канале расширяется зона,

обедненная носителями тока. Это приводит к увеличению сопротивления канала между стоком и истоком.

Дежурный полевой транзистор с n -каналом российского или советского производства — КП302. Цена одного транзистора втрое больше цены разового проезда в метро.

На рисунке полевой транзистор



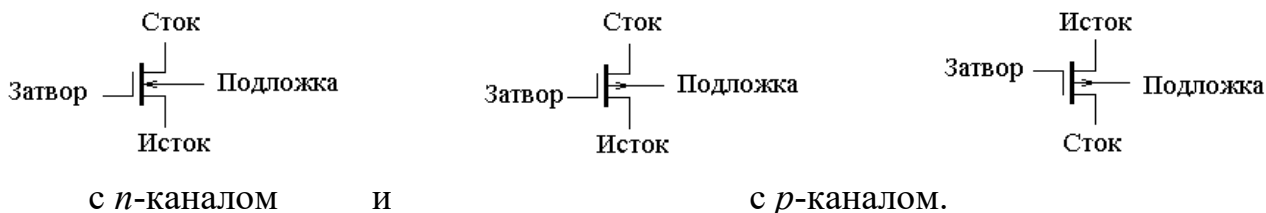
МОП-транзисторы

(MOSFET — metal–oxide–semiconductor field-effect transistor).

В МОП-транзисторе (металл окисел полупроводник) затвор изолирован от канала окислом SiO_2 . Подложка, исток и сток образуют обычный полевой транзистор с p - n -переходом.

Напряжение на затворе любого МОП-транзистора может быть и положительным и отрицательным. Это преимущество МОП-транзистора.

Полевой МОП-транзистор



Обычно подложка МОП транзистора соединена с истоком. В таком случае канал открыт по напряжению подложки и управляется напряжением затвора.

МОП транзисторы бывают обогащенного и обедненного типа. Транзисторы обогащенного типа удобнее в использовании, поэтому по умолчанию МОП транзистор — это транзистор обогащенного типа. Если подложка транзистора соединена с истоком, то по подложке транзистор открыт. Если затвор тоже соединить с истоком, то транзистор обедненного типа будет открыт, а транзистор обогащенного типа будет закрыт.

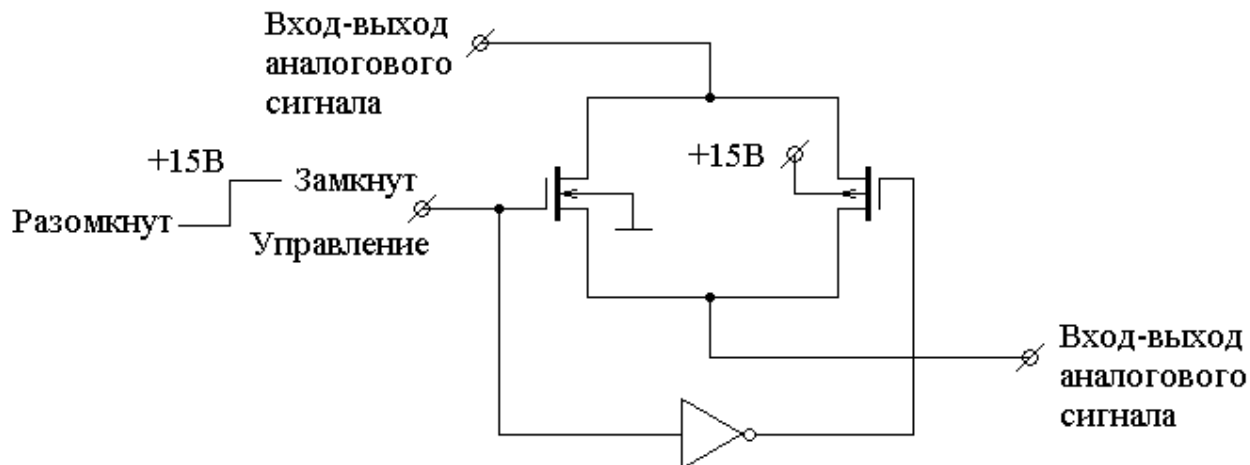
Далее рассмотрим, например, МОП транзистор с n -каналом. Для нормальной работы транзистора напряжение на стоке должно быть больше, чем напряжение на истоке. Транзистор обогащенного типа открывается большим положительным напряжением на затворе относительно истока.

Для нормальной работы транзистора с p -каналом напряжение на стоке должно быть ниже (минусее), чем напряжение на истоке. Транзистор обогащенного типа с p -каналом открывается большим отрицательным напряжением на затворе относительно истока.

Транзисторы обогащенного типа удобнее, так как переключение транзистора происходит при напряжении на затворе той же полярности, что и напряжение питания (напряжение на стоке).

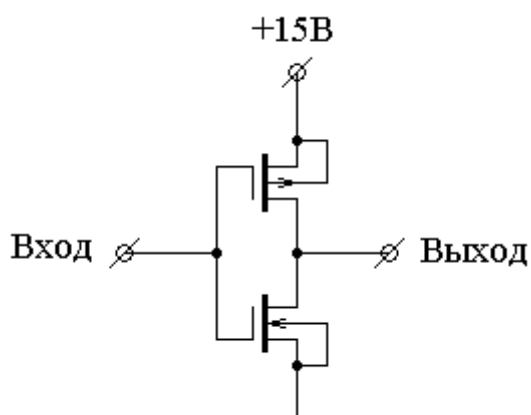
Аналоговые ключи на полевых транзисторах.

Пример аналогового ключа на обогащенных МОП-транзисторах (**MOSFET**), который способен пропускать без искажений положительные аналоговые сигналы от 0 В до +15 В.



Логический КМОП-инвертор.

Логический инвертор на обогащенных КМОП-транзисторах (комплементарные металл-окисел-полупроводник транзисторы). Комплементарные транзисторы имеют одинаковые характеристики, но работают при напряжениях противоположного знака.



Операционный усилитель TL071.

electrical characteristics, $V_{CC1} = 15\text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	T_A ‡	TL071C TL072C TL074C			TL071AC TL072AC TL074AC			TL071BC TL072BC TL074BC			TL071I TL072I TL074I			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	$V_O = 0$, $R_S = 60\ \Omega$	25°C		3	10	3	8	2	3	3	3	8	mV	
			Full range		13			7.5			6				
μ_{VIO}	Temperature coefficient of input offset voltage	$V_O = 0$, $R_S = 50\ \Omega$	Full range		18			18			18			$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current	$V_O = 0$	25°C		0	100	0	100	0	100	0	100	μA		
			Full range		10			2			2			nA	
I_B	Input bias current§	$V_O = 0$	25°C		65	200	65	200	65	200	65	200	μA		
			Full range		7			7			20			nA	
V_{ICR}	Common-mode input voltage range		25°C		-11	-10	-11	-10	+11	+10	+11	+10	V		
					10	15	10	15	10	15	10	15			
V_{OM}	Maximum peak output voltage swing	$R_L = 10\ \text{k}\Omega$	25°C		+12	-13.5	+12	-13.5	+12	-13.5	+12	-13.5	V		
		$R_L \geq 10\ \text{k}\Omega$	Full range		± 12			± 12			± 12				
		$R_L \geq 2\ \text{k}\Omega$	Full range		± 10			± 10			± 10				
A_{VD}	Large signal differential voltage amplification	$V_O = \pm 10\ \text{V}$, $R_L \geq 2\ \text{k}\Omega$	25°C		20	200	50	200	50	200	50	200	V/mV		
			Full range		15			25			25				
B_1	Unity gain bandwidth		25°C		3			3			3			MHz	
r_i	Input resistance		25°C		10^{12}			10^{12}			10^{12}			Ω	
CMRR	Common mode rejection ratio	$V_{IC} = V_{ICRmin}$, $V_O = 0$, $R_S = 60\ \Omega$	25°C		70	100	75	100	75	100	75	100	dB		
PSRR	Supply voltage rejection ratio ($\Delta V_{OC}/\Delta V_{IC}$)	$V_{CC} = \pm 9\ \text{V}$ to $\pm 16\ \text{V}$, $V_O = 0$, $R_S = 60\ \Omega$	25°C		70	100	80	100	80	100	80	100	dB		
I_{CC}	Supply current (each amplifier)	$V_O = 0$, No load	25°C		1.4	2.5	1.4	2.5	1.4	2.5	1.4	2.5	mA		
V_{O1}/V_{O2}	Crosstalk attenuation	$A_{VD} = 100$	25°C		120			120			120			dB	

† All characteristics are measured under open loop conditions with zero common mode voltage unless otherwise specified.

‡ Full range is $T_A = 0^\circ\text{C}$ to 70°C for TL07_C, TL07_AC, TL07_BC and is $T_A = -40^\circ\text{C}$ to 85°C for TL07_I.

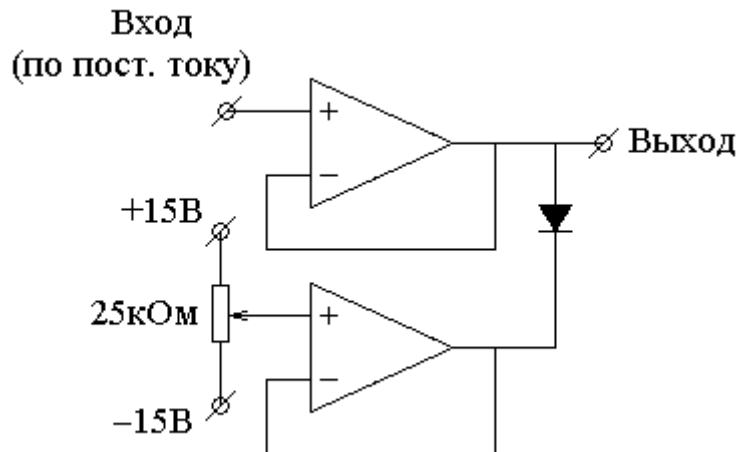
§ Input bias currents of a FFT-based operational amplifier are nominal junction reverse currents, which are temperature sensitive as shown in Figure 4. Probe techniques must be used that maintain the junction temperature as close to the ambient temperature as possible.

operating characteristics, $V_{CC\pm} = \pm 15\ \text{V}$, $T_A = 25^\circ\text{C}$

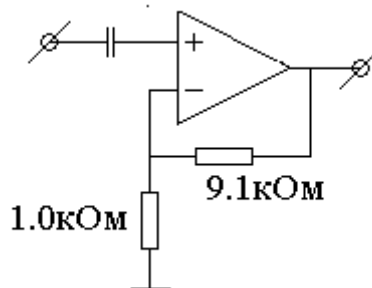
PARAMETER	TEST CONDITIONS	TL07xM			ALL OTHERS			UNIT	
		MIN	TYP	MAX	MIN	TYP	MAX		
SR	Slew rate at unity gain $V_I = 10\ \text{V}$, $C_L = 100\ \text{pF}$, $R_L = 2\ \text{k}\Omega$, See Figure 1	5	13		8	13		V/ μs	
t_r	Rise time overshoot factor $V_I = 20\ \text{mV}$, $C_L = 100\ \text{pF}$, $R_L = 2\ \text{k}\Omega$, See Figure 1	0.1			0.1			μs	
		20%			20%				
V_n	Equivalent input noise voltage $R_S = 20\ \Omega$	$f = 1\ \text{kHz}$			18			nV/ $\sqrt{\text{Hz}}$	
		$f = 10\ \text{Hz}$ to $10\ \text{kHz}$			4			μV	
I_n	Equivalent input noise current $R_S = 20\ \Omega$, $f = 1\ \text{kHz}$	0.01			0.01			pA/ $\sqrt{\text{Hz}}$	
THD	Total harmonic distortion $V_{I\text{rms}} = 6\ \text{V}$, $R_L \geq 2\ \text{k}\Omega$, $f = 1\ \text{kHz}$	$A_{VD} = 1$, $R_S \leq 1\ \text{k}\Omega$,			0.003%			0.003%	

Негодные схемы (на дом).

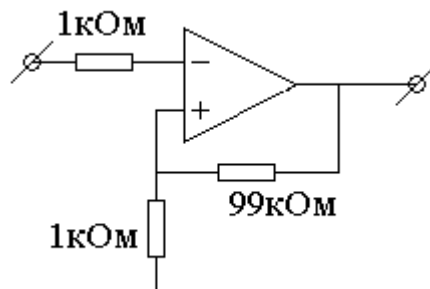
Регулируемый ограничитель:



Десятикратный усилитель переменного тока:



100-кратный усилитель постоянного напряжения:



Логические микросхемы.

Обычно логические микросхемы имеют однополярное питание +5 Вольт и имеют ногу, соединенную с общим проводом схемы.

На входах и выходах логических схем различают только два напряжения: около нуля (логический ноль) и около +5 Вольт (логическая единица).

ТТЛ логические микросхемы. КМОП (CMOS) логические микросхемы. Напряжение питания. Логический порог. Выход с открытым коллектором. МОП логические микросхемы и отрицательная логика.

Работа простейших логических схем характеризуется таблицей истинности.

Рассмотрим для примера логическую схему 2И. Схема имеет два входа, поэтому 2И, и один выход. Таблица истинности схемы 2И имеет вид:

0	0		0
0	1		0
1	0		0
1	1		1

Здесь первый столбец — это возможные варианты логических уровней на первом входе схемы, второй столбец — уровни на втором входе схемы, третий столбец — уровни на выходе.

Таблица истинности для схемы 2И показывает, что напряжение логической единицы на выходе схемы присутствует в единственном случае, когда единица одновременно присутствует и на первом и на втором входе, поэтому — 2И.

Рассмотрим схему 2И-НЕ. Логические уровни на ее выходе отличаются от уровней схемы 2И тем, что они инвертированы:

0	0		1
0	1		1
1	0		1
1	1		0

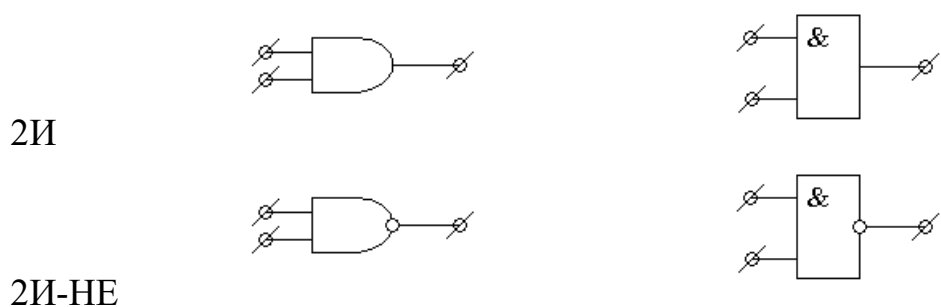
Для сравнения приведем таблицу истинности для схемы 3ИЛИ:

0	0	0		0
0	0	1		1
0	1	0		1
0	1	1		1
1	0	0		1
1	0	1		1
1	1	0		1
1	1	1		1

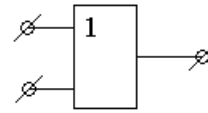
Заметим, что в одном корпусе микросхемы обычно присутствуют несколько независимых логических схем с общим питанием и одним общим проводом. Например, 4-2И-НЕ — четыре схемы 2И-НЕ в одном корпусе.

Условные обозначения логических микросхем в западной литературе и в советской литературе различаются.

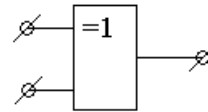
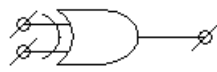
Микросхема. Западная литература. Советская и российская литература.



2ИЛИ

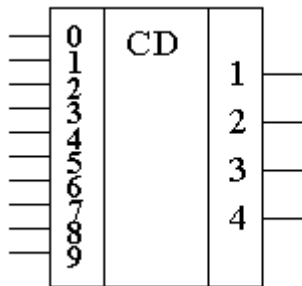


Исключающее ИЛИ

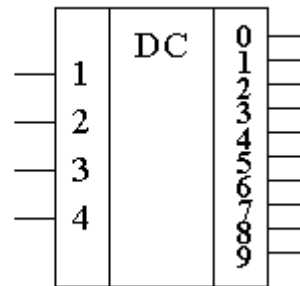


0	0		0
0	1		1
1	0		1
1	1		0

Шифратор формирует номер канала, по которому пришла логическая единица. Дешифратор по номеру канала направляет логическую единицу.

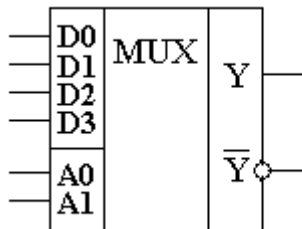


Шифратор (кодер).

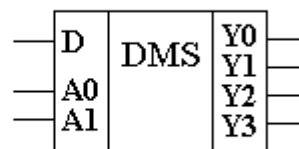


Дешифратор.

Мультиплексор подключает один из входов к выходу.



Мультиплексор.



Демультимплексор.