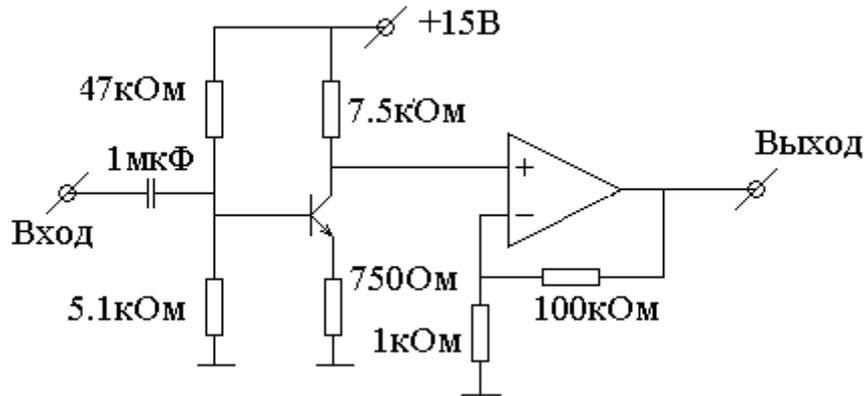
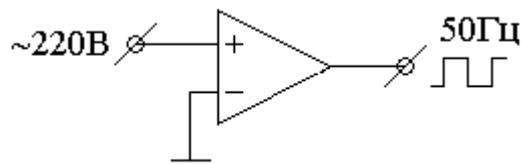


### Негодные схемы (проверка).

Выходной каскад на ОУ со стократным усилением для звуковых частот:

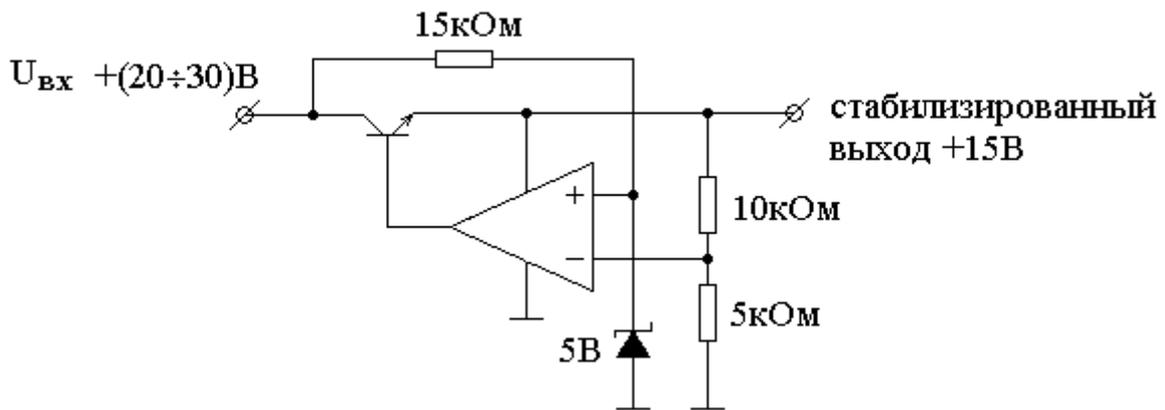


Детектор нуля:

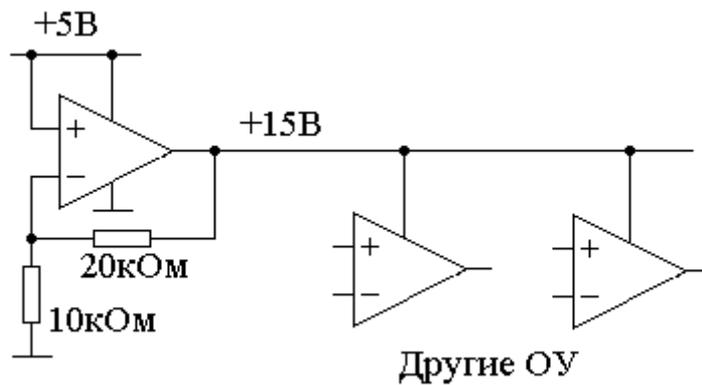


### Негодные схемы (на дом).

Стабилизатор на 15В:



Операционный усилитель в качестве стабилизатора +15В:



### **LPT-порт, USB, SATA (продолжение).**

USB — Universal Serial Bus, универсальная последовательная шина.

USB 1.0 скорость до 12 Мбит/с.

USB 2.0 скорость до 480 Мбит/с.

USB 3.0 скорость до 5 Гбит/с.



Вместо IDE (Integrated Device Electronics) и EIDE (Enhanced IDE) жесткий диск компьютера теперь подключается через разъем SATA — Serial Advanced Technology Attachment.

Подключение и отключение USB устройств возможно без выключения питания 220 Вольт. Для других устройств безопасно подключение друг к другу только при выключенном питании обоих соединяемых устройств или хотя бы одного из соединяемых устройств.

Статическое электричество и особенности хранения и подключения КМОП транзисторов и микросхем.

Вместо IDE (Integrated Device Electronics) и EIDE (Enhanced IDE) жесткий диск компьютера теперь подключается через разъем SATA — Serial Advanced Technology Attachment.

SATA 1.0 скорость до 1.5 Гбит/с.

SATA 2.0 скорость до 3 Гбит/с.

SATA 3.0 скорость до 6 Гбит/с.

### **Платы сбора данных (DAQ — Data acquisition board).**

Платы сбора данных (DAQ — Data acquisition board) (с интерфейсом USB).

NI USB-6008

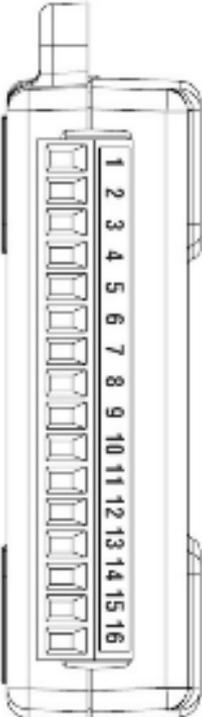


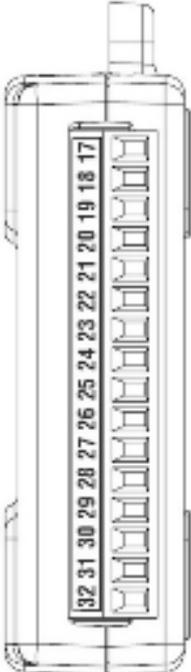
Характеристика	USB-6008
Разрешение при аналоговом вводе	12 бит (дифференциальное подключение) 11 бит (подключение с общим проводом)
Максимальная частота дискретизации, один канал*	10 кГц
Максимальная частота дискретизации, несколько каналов (Суммарная)*	10 кГц
Конфигурация цифрового ввода/вывода	Открытый коллектор

Частота дискретизации — частота снятия отсчетов.

Два аналоговых выхода, 8 аналоговых входов или 4 дифференциальных аналоговых входа.

8 битовый и 4 битовый цифровые порты ввода-вывода.

Модуль	Терминал	Схема подключения с общим проводом	Дифференциальная схема подключения
	1	GND	GND
	2	AI 0	AI 0+
	3	AI 4	AI 0-
	4	GND	GND
	5	AI 1	AI 1+
	6	AI 5	AI 1-
	7	GND	GND
	8	AI 2	AI 2+
	9	AI 6	AI 2-
	10	GND	GND
	11	AI 3	AI 3+
	12	AI 7	AI 3-
	13	GND	GND
	14	AO 0	AO 0
	15	AO 1	AO 1
	16	GND	GND

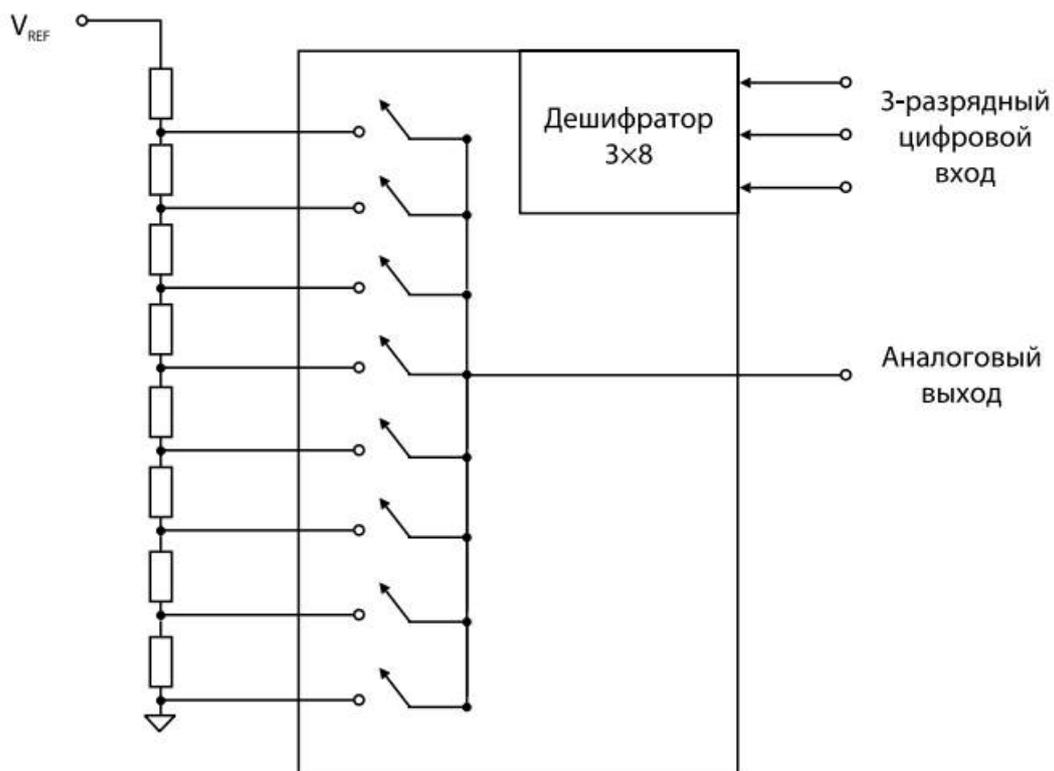
Модуль	Терминал	Сигнал
	17	P0.0
	18	P0.1
	19	P0.2
	20	P0.3
	21	P0.4
	22	P0.5
	23	P0.6
	24	P0.7
	25	P1.0
	26	P1.1
	27	P1.2
	28	P1.3
	29	PFI 0
	30	+2.5 V
	31	+5 V
	32	GND

Программное управление через язык программирования LabView.

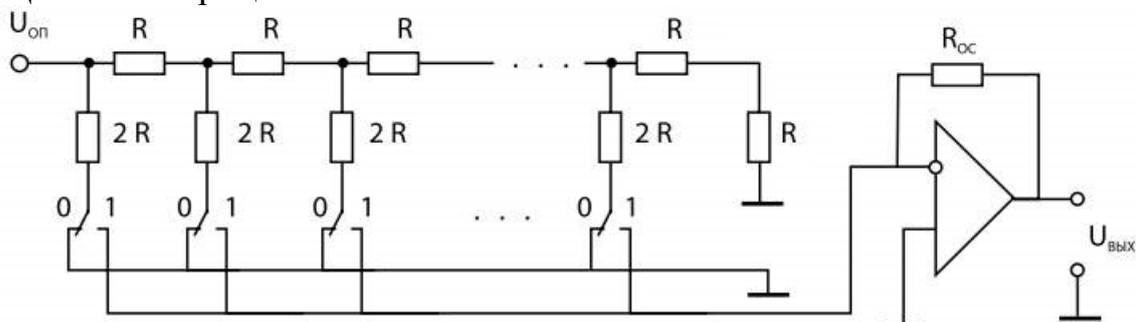
### ЦАП (DAC).

ЦАП — цифро-аналоговый преобразователь.

Взвешивающий ЦАП:



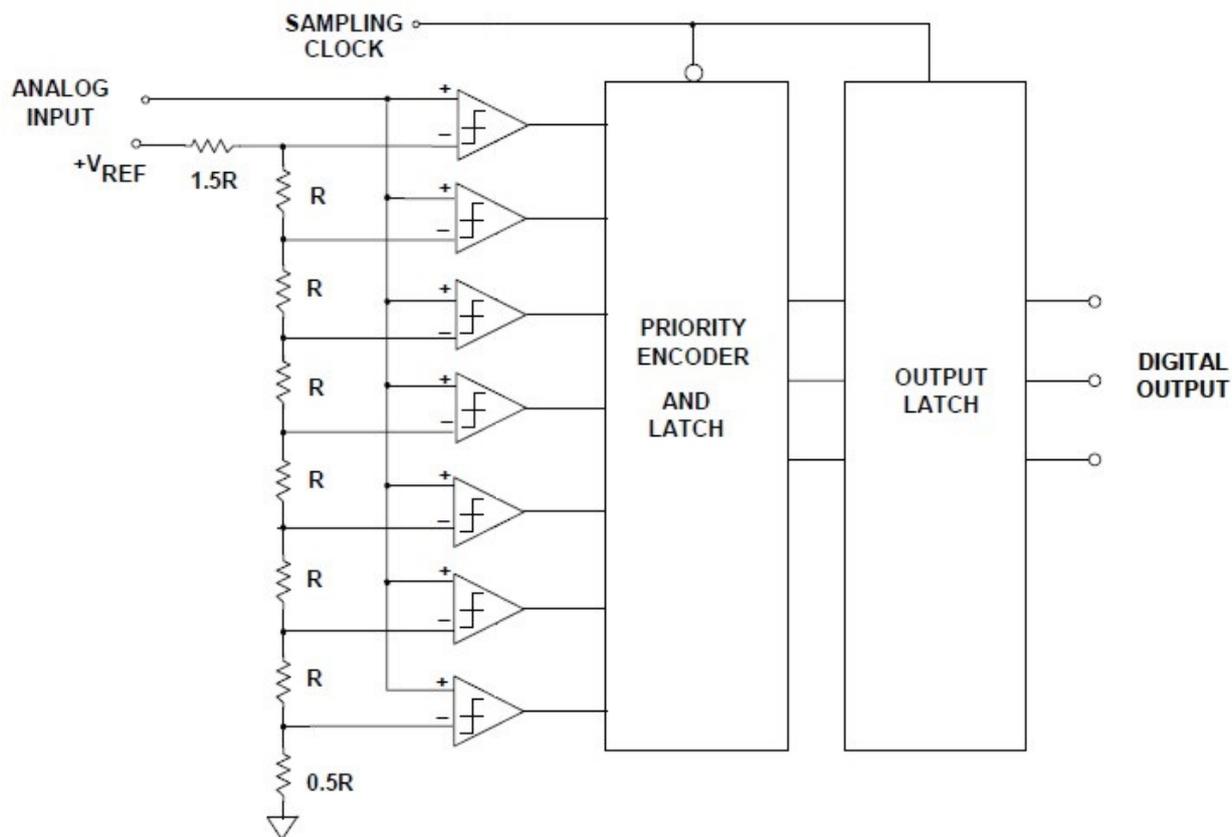
ЦАП на матрице R-2R:



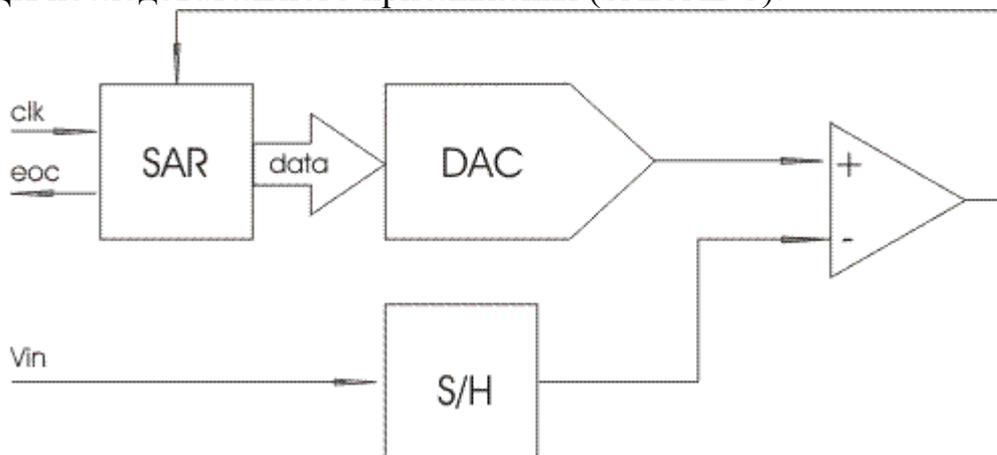
### АЦП (ADC).

АЦП — аналого-цифровой преобразователь.

АЦП прямого преобразования (flash ADC):

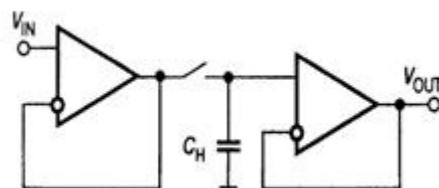


АЦП последовательного приближения (SAR ADC):



Регистр последовательного приближения (Successive Approximation Register, SAR). Он осуществляет алгоритм последовательного приближения, генерируя текущее значение кода, подающегося на вход ЦАП.

**Схема выборки-хранения.**

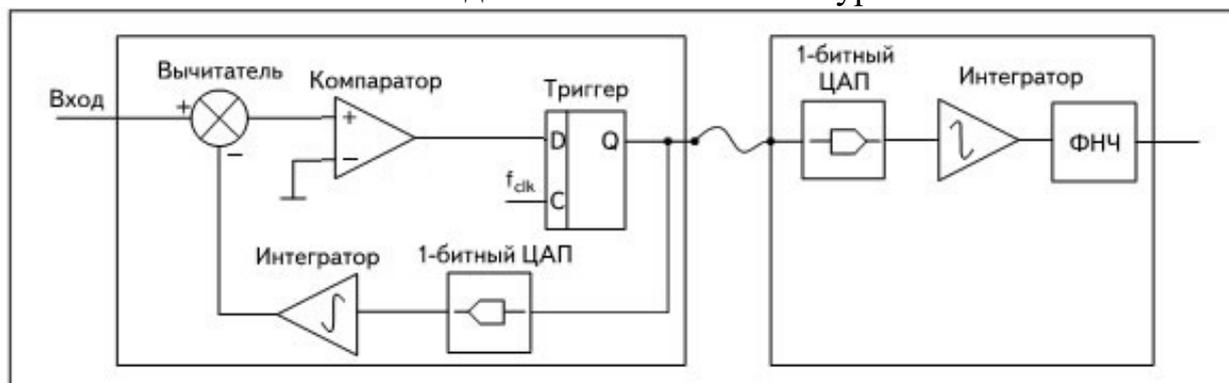


**Сигма-дельта ЦАП и АЦП.**

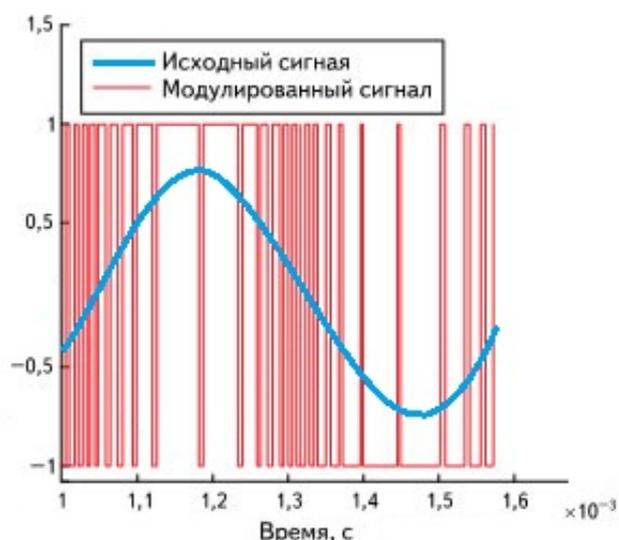
### Дельта-модулятор-демодулятор.

Передатчик аналогового сигнала по длинной линии в виде импульсных сигналов логических уровней.

Рассмотрим сначала схему, которая позволяет передавать по длинной линии аналоговый сигнал в виде сигнала логических уровней:



Если входной аналоговый сигнал (синяя кривая) сравнить со сглаженным сигналом вида красной кривой,



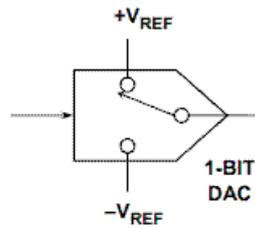
то они окажутся одинаковыми.

Теперь представьте себе, что голубая синусоида — это производная от входного сигнала. Входной сигнал — это интеграл от голубой синусоиды или что то же самое — интеграл от красного модулированного сигнала.

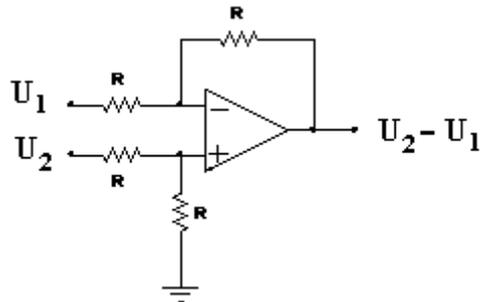
Предположим, что красный сигнал будет после того, как сигнал с  $Q$  выхода триггера пройдет 1-битный АЦП. Тогда на  $Q$  выходе триггера будет такой же сигнал, только с логическими уровнями 0 и 1. Это и есть сигнал дельта-модулятора.

Компаратор показывает, нужно ли увеличивать или уменьшать интегрируемый сигнал, чтобы он сравнялся со входным аналоговым сигналом.

Однобитный ЦАП:



## Вычитатель



С выхода однобитного ЦАП идет сигнал вида красной кривой после аналогового интегратора сигнал примерно совпадает с входным сигналом схемы. Компаратор сравнивает входной сигнал и сигнал с интегратора, чтобы выяснить нужно ли сигнал с интегратора чуть увеличить или чуть уменьшить, чтобы сравнить его с входным сигналом схемы. После длинной линии демодулятор в виде однобитового ЦАП и интегратора формирует тот же самый почти входной сигнал схемы.

## Сигма-дельта АЦП.

В этом АЦП левая часть схемы работает по-прежнему с аналоговыми сигналами. Правая часть схемы дельта-модулятора-демодулятора (после длинной линии) работает с цифровыми сигналами, а не с аналоговыми. Вместо 1-битового ЦАП и аналогового интегратора — реверсивный счётчик. Если на входе счётчика логическая единица, то по каждому тактовому импульсу он считает вперёд (прибавляет единицу), если на входе ноль, то считает назад. Длинной линии нет вообще.

## Сигма-дельта-ЦАП.

В этом ЦАП левая часть схемы дельта-модулятора-демодулятора (до длинной линии) работает с цифровыми сигналами, а не с аналоговыми. Правая часть схемы работает по-прежнему с аналоговыми сигналами. Длинной линии нет вообще.

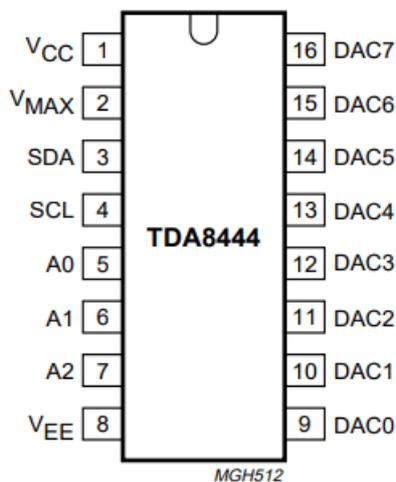
Цифровой сигнал преобразуется аналогично, только вместо аналогового вычитателя и компаратора нужен цифровой компаратор (логическая микросхема с однобитовым логическим выходом), вместо 1-битового ЦАП и аналогового интегратора — реверсивный счётчик.

Надо заметить, что это очень грубое представление о сигма-дельта ЦАП и АЦП, в реальном исполнении есть ряд улучшающих ухищрений.

## TDA8444.

Микросхема содержит 8 6-битовых ЦАП. Запись цифровых данных в каждый ЦАП производится по шине I<sup>2</sup>C.

В своей экспериментальной установке я использовал три таких микросхемы. Каждый из 24-х аналоговых сигналов задавал напряжение на затворе одного из полевых транзисторов. Каждый полевой транзистор использовался, как переменное сопротивление (реостат).



Top view.

Octuple 6-bit DACs with I<sup>2</sup>C-bus

TDA8444; TDA8444T;  
TDA8444AT

### PINNING

SYMBOL	PIN			DESCRIPTION
	TDA8444 (DIP16)	TDA8444T (SO16)	TDA8444AT (SO20)	
V <sub>CC</sub>	1	1	1	supply voltage
V <sub>MAX</sub>	2	2	2	control input for DAC maximum output voltage
SDA	3	3	3	I <sup>2</sup> C-bus serial data input/output
SCL	4	4	4	I <sup>2</sup> C-bus serial clock
A0	5	6	7	programmable address bit 0 for I <sup>2</sup> C-bus slave receiver
A1	6	7	8	programmable address bit 1 for I <sup>2</sup> C-bus slave receiver
A2	7	–	9	programmable address bit 2 for I <sup>2</sup> C-bus slave receiver
V <sub>EE</sub>	8	8	10	ground
DAC0	9	9	11	analog voltage output 0
DAC1	10	10	13	analog voltage output 1
DAC2	11	11	14	analog voltage output 2
DAC3	12	12	15	analog voltage output 3
DAC4	13	13	16	analog voltage output 4
DAC5	14	14	17	analog voltage output 5
DAC6	15	15	18	analog voltage output 6
DAC7	16	16	20	analog voltage output 7
n.c.	–	5	5, 6, 12, 19	not connected

**Table 1** I<sup>2</sup>C-bus format (see note 1)

S	0 1 0 0 A2 A1 A0 0	A	I3 I2 I1 I0 SD SC SB SA	A	X X D5 D4 D3 D2 D1 D0	A	P
---	--------------------	---	-------------------------	---	-----------------------	---	---

**Note**

1. S = START condition; A2 to A0 = programmable address bits; A = Acknowledge; I3 to I0 = Instruction bits; SD to SA = subaddress bits; X = don't care; D5 to D0 = data bits; P = STOP condition.

Valid addresses are:

TDA8444 and TDA8444AT: 40H, 42H, 44H, 46H, 48H, 4AH, 4CH and 4EH

TDA8444T: 48H, 4AH, 4CH and 4EH (A2 is always logic 1).

All other addresses cannot be acknowledged by the circuit. The actual slave address depends on the programmable address bits A2, A1 and A0. This way up to eight circuits can be used on one I<sup>2</sup>C-bus.

Valid instructions are: 00H to 0FH; F0H to FFH.

### Протокол работы шины I<sup>2</sup>C.



Начальное состояние — высокий уровень линии данных SDA и линии синхронизации SCL.

К линиям SDA и SCL подключены выходы с открытым коллектором. Любое устройство шины может опустить уровень линии вниз. Перед посылкой обе линии SDA и SCL имеют высокий уровень.

Синхронизация посылки осуществляется ведущим (устройством передачи данных). Ведущий опускает уровень линии SDA — это стартовый сигнал посылки. Затем ведущий опускает линию SCL. После чего устанавливает значение старшего бита (0 или 1) первого байта посылки. Затем ведущий отпускает линию SCL, разрешая уровню линии подняться вверх, но каждый из ведомых может удерживать линию SCL внизу, пока он не будет готов принять первый бит. После того, как линия SCL поднимется (ее состояние может прочитать любое устройство шины), ведомый должен прочитать значение первого бита по линии SDA.

Затем ведущий опускает уровень линии SCL, и начинается посылка второго бита.

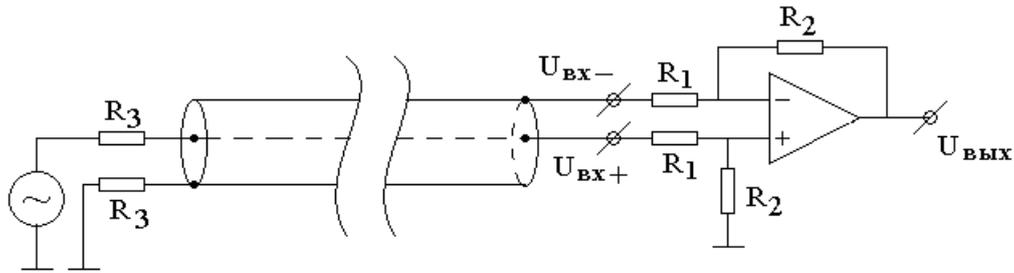
После посылки 8 бита байта 9 бит низким уровнем на линии SDA приемник показывает, что посылка принята удачно.

### Электрические наводки.

Емкостные наводки. Определение сигнального провода входа осциллографа.

Индуктивные наводки. Мекка с приемом сигнала дифференциальным усилителем, как мера против индуктивной наводки.

Вычитание наводки дифференциальным усилителем.



$$U_+ = \frac{R_2}{R_1 + R_2} U_{ex+} = U_-$$

$$I = \frac{U_{ex-} - U_-}{R_1}$$

$$U_{вых} = U_- - IR_2 = \frac{R_2}{R_1} (U_{ex+} - U_{ex-})$$

### Электрические шумы.

Если вы хотите измерить постоянное напряжение на фоне шумов, которые превышают это напряжение, то шумы можно отфильтровать RC-цепочкой.

Тепловой шум резистора:  $\frac{U_{ш}^2}{R} = 4kT\Delta f$ . При  $T = 300$  К,  $R = 10^6$  Ом,  $\Delta f = 10$  кГц, получаем  $U_{ш} = 13$  мкВ (эффеkтивное значение). Или для  $R = 10^3$  Ом напряжение шумов примерно  $U_{ш} = 4 \frac{nB}{\sqrt{\Gammaц}}$ .

Предел чувствительности аналогового осциллографа.

Шумовая дорожка цифрового осциллографа.

Белый шум.

Розовый шум (фликкер-шум). Шаг влево, шаг вправо. Честное казино.

Шумы усилителя, шум напряжения, токовый шум.