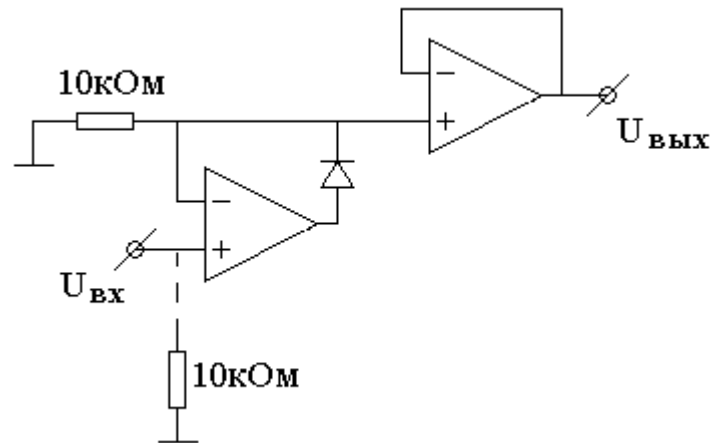
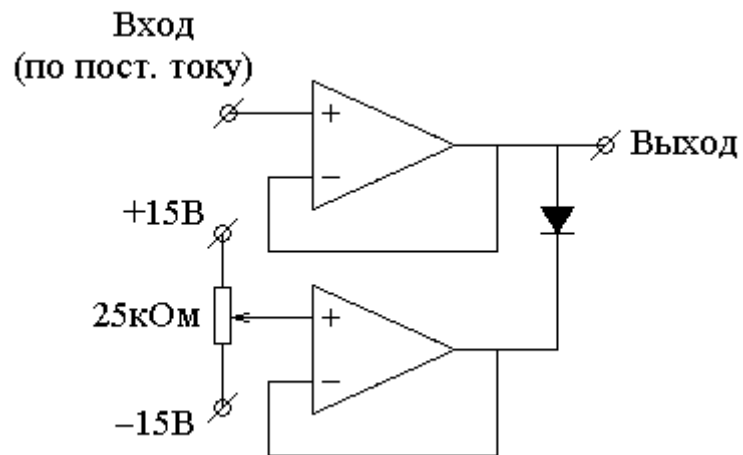
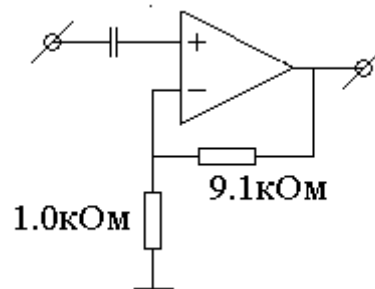


Негодные схемы (проверка).

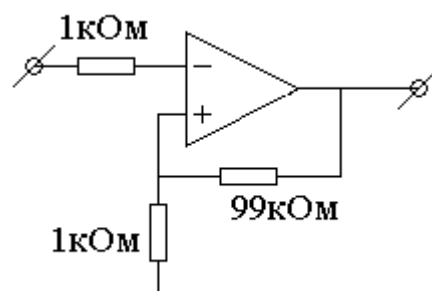
Регулируемый ограничитель:



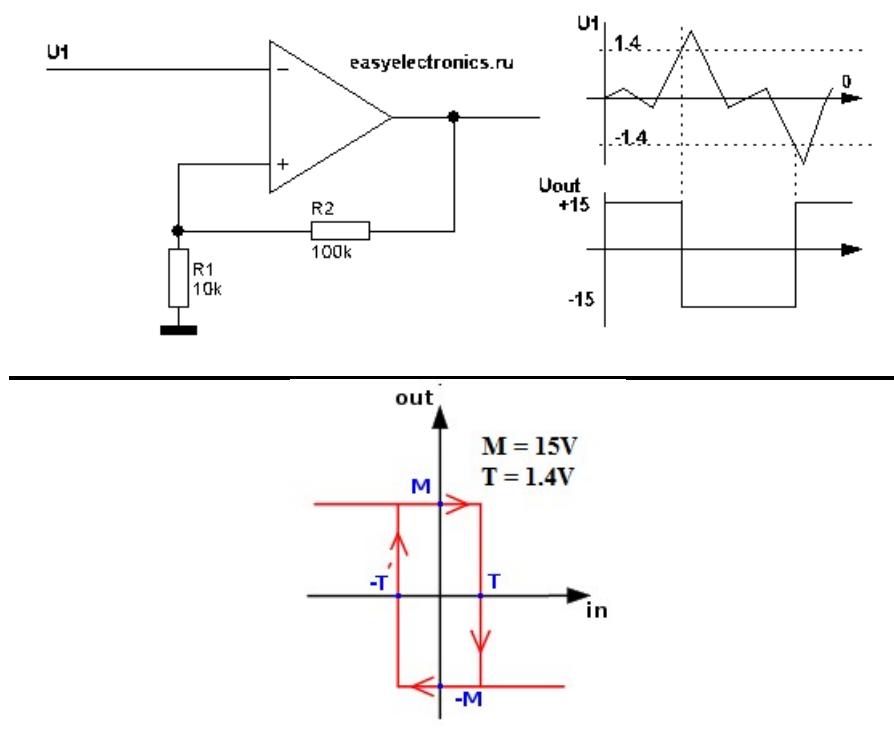
Десятикратный усилитель переменного тока:



100-кратный усилитель постоянного напряжения:

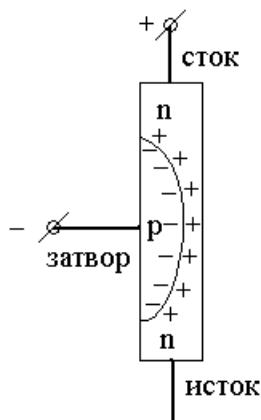


Триггер Шмитта.



Полевой транзистор с $p-n$ переходом.

Полевой транзистор, например, с n -каналом — это биполярный $n-p-n$ транзистор, у которого между эмиттером n -типа и коллектором n -типа образовался тонкий канал того же n -типа.



Названия электродов полевого транзистора аналогичны по смыслу названиям электродов биполярного транзистора: вместо эмиттера, базы, коллектора здесь — исток, затвор, сток.

Если соединить базу и эмиттер биполярного транзистора, то транзистор полностью закрыт для тока коллектор-эмиттер. Если соединить затвор и исток полевого транзистора с $p-n$ переходом, то транзистор полностью открыт для тока сток-исток.

Понижение потенциала затвора относительно истока отталкивает электроны из n -канала. При этом в n -канале уменьшается концентрация

электронов в зоне проводимости и увеличивается сопротивление канала между стоком и истоком.

Полевой транзистор — это сопротивление управляемое запирающим напряжением на затворе. Сопротивление n -канала между истоком и стоком зависит от напряжения на затворе.

Дежурный полевой транзистор с n -каналом российского или советского производства — КП302. Цена одного транзистора втрое больше цены разового проезда в метро.

На рисунке полевой транзистор



МОП-транзисторы

(MOSFET — metal–oxide–semiconductor field-effect transistor).

В МОП-транзисторе (металл окисел полупроводник) затвор изолирован от канала окислом SiO_2 . Подложка, исток и сток образуют обычный полевой транзистор с p - n -переходом.

Управляющее напряжение на затворе любого МОП-транзистора может быть и положительным и отрицательным. Это преимущество МОП-транзистора.

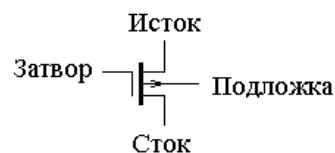
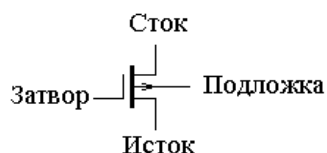
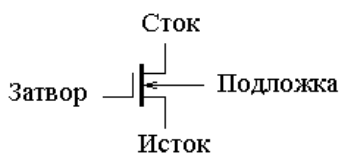
Обычно подложка МОП транзистора соединена с истоком. В таком случае канал открыт по напряжению подложки и управляется напряжением затвора.

МОП транзисторы бывают обогащенного типа (с индуцированным каналом) и обедненного типа (со встроенным каналом). Транзисторы обогащенного типа удобнее в использовании, поэтому по умолчанию МОП транзистор — это транзистор обогащенного типа. Если подложка транзистора соединена с истоком, то по подложке транзистор открыт. Если затвор тоже соединить с истоком, то транзистор обогащенного типа будет закрыт, а транзистор обедненного типа будет открыт.

Полевой МОП-транзистор обогащенного типа (с индуцированным каналом):



Полевой МОП-транзистор обедненного типа (со встроенным каналом):



с n -каналом и с p -каналом.

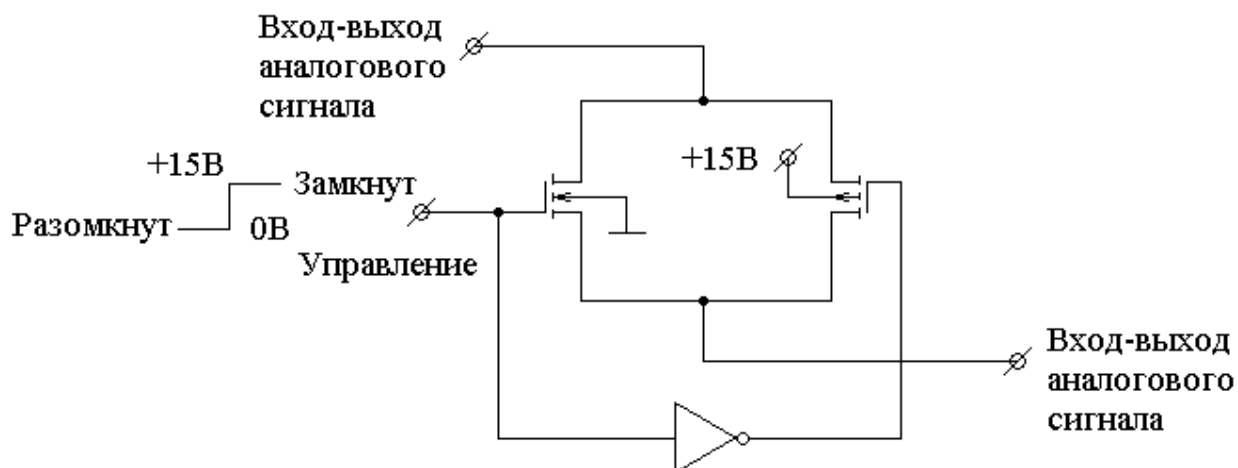
Далее рассмотрим, например, МОП транзистор с n -каналом. Для нормальной работы транзистора напряжение на стоке должно быть больше, чем напряжение на истоке. Транзистор обогащенного типа открывается большим положительным напряжением на затворе относительно истока.

Для нормальной работы транзистора с p -каналом напряжение на стоке должно быть ниже (минусе), чем напряжение на истоке. Транзистор обогащенного типа с p -каналом открывается большим отрицательным напряжением на затворе относительно истока.

Транзисторы обогащенного типа удобнее, так как переключение транзистора происходит при напряжении на затворе той же полярности, что и напряжение питания (напряжение на стоке).

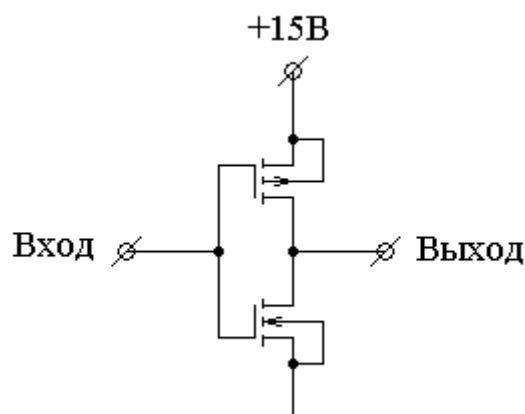
Аналоговые ключи на полевых транзисторах.

Пример аналогового ключа на обогащенных МОП-транзисторах (**MOSFET**), который способен пропускать без искажений положительные аналоговые сигналы от 0 В до +15 В.



Логический КМОП-инвертор.

Логический инвертор на обогащенных КМОП-транзисторах (комплементарные металл-окисел-полупроводник транзисторы). Комплементарные транзисторы имеют близкие характеристики, но работают при напряжениях противоположного знака.



Логические микросхемы.

Обычно логические микросхемы имеют однополярное питание +5 Вольт и имеют ногу, соединенную с общим проводом схемы.

На входах и выходах логических схем различают только два напряжения: около нуля (логический ноль) и около +5 Вольт (логическая единица).

ТТЛ логические микросхемы. КМОП (CMOS) логические микросхемы. Напряжение питания. Логический порог. Выход с открытым коллектором. МОП логические микросхемы и отрицательная логика.

Работа простейших логических схем характеризуется таблицей истинности.

Рассмотрим для примера логическую схему 2И. Схема имеет два входа, поэтому 2И, и один выход. Таблица истинности схемы 2И имеет вид:

0	0		0
0	1		0
1	0		0
1	1		1

Здесь первый столбец — это возможные варианты логических уровней на первом входе схемы, второй столбец — уровни на втором входе схемы, третий столбец — уровни на выходе.

Таблица истинности для схемы 2И показывает, что напряжение логической единицы на выходе схемы присутствует в единственном случае, когда единица одновременно присутствует и на первом и на втором входе, поэтому — 2И.

Рассмотрим схему 2И-НЕ. Логические уровни на ее выходе отличаются от уровней схемы 2И тем, что они инвертированы:

0	0		1
0	1		1
1	0		1
1	1		0

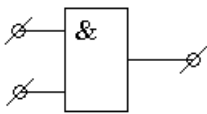
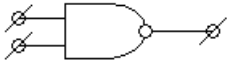
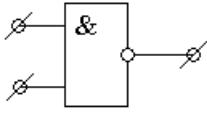
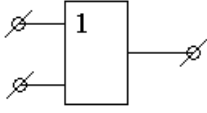
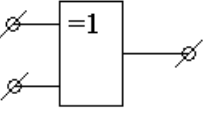
Для сравнения приведем таблицу истинности для схемы 3ИЛИ:

0	0	0		0
0	0	1		1
0	1	0		1

0	1	1		1
1	0	0		1
1	0	1		1
1	1	0		1
1	1	1		1

Заметим, что в одном корпусе микросхемы обычно присутствуют несколько независимых логических схем с общим питанием и одним общим проводом. Например, 4-2И-НЕ — четыре схемы 2И-НЕ в одном корпусе.

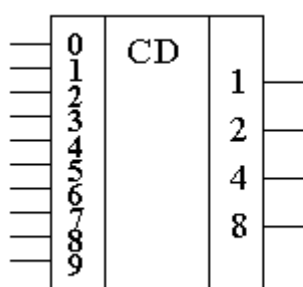
Условные обозначения логических микросхем в западной литературе и в российской литературе различаются.

Микросхема	Западная литература	Российская литература
2И		
2И-НЕ		
2ИЛИ		
Исключающее ИЛИ		

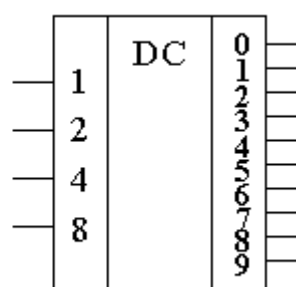
Исключающее ИЛИ

0	0		0
0	1		1
1	0		1
1	1		0

Шифратор формирует номер канала, по которому пришла логическая единица. Дешифратор по номеру канала направляет логическую единицу.

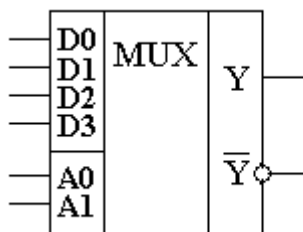


Шифратор (кодер).

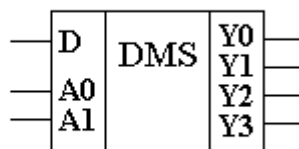


Дешифратор.

Мультиплексор подключает один из входов к выходу.



Мультиплексор.



Демultipлексор.

Последовательная логика. RS-триггер.

Рассмотренные до этого момента логические схемы — это схемы комбинационной логики. В схемах комбинационной логики состояние выходов однозначно определяется состоянием входов в текущий момент времени. В схемах последовательной логики состояние выходов сейчас зависит от состояния входов не только в текущий момент времени, но и от состояния входов в предшествующие моменты времени.

Простейшим примером последовательной логики является RS-триггер. RS-триггер — это элементарная ячейка памяти, в которую можно записать одно из двух состояний 0 или 1. Можно ничего не записывать в текущий момент, тогда выход RS-триггера будет сохранять значение, которое было в него записано ранее.

Рассмотрим работу логической схемы RS-триггера.

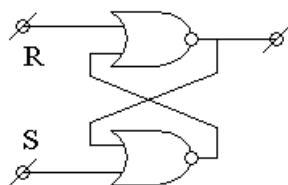


Схема состоит из двух логических схем 2ИЛИ-НЕ. Схема содержит два входа и один выход.

Вход R (reset) — сброс. Вход S (set) — установка.

В нормальном состоянии оба входа R и S находятся в состоянии логического нуля. При этом на выходе схемы может быть любое из двух состояний 0 или 1 в зависимости от предыстории состояний входов.

И действительно.

Предположим, что выход схемы находится в состоянии 1. Это напряжение поступает на верхний вход нижней схемы 2ИЛИ-НЕ. Тогда на входах нижней схемы 2ИЛИ-НЕ будут логические уровни 1 и 0. Логическая функция 2ИЛИ нижней схемы будет равна 1. Тогда выход нижней схемы 2ИЛИ-НЕ будет в состоянии 0. Это напряжение поступает на нижний вход верхней схемы 2ИЛИ-НЕ. На входах этой схемы будут уровни 0 и 0. Логическая функция 2ИЛИ верхней схемы будет равна 0. Тогда выход верхней

схемы 2ИЛИ-НЕ будет в состоянии 1, что соответствует начальному предположению о состоянии 1 выхода всей схемы.

Предположим теперь, что выход всей схемы находится в состоянии 0. Это напряжение поступает на верхний вход нижней схемы 2ИЛИ-НЕ. Тогда на входах нижней схемы 2ИЛИ-НЕ будут логические уровни 0 и 0. Логическая функция 2ИЛИ нижней схемы будет равна 0. Тогда выход нижней схемы 2ИЛИ-НЕ будет в состоянии 1. Это напряжение поступает на нижний вход верхней схемы 2ИЛИ-НЕ. На входах этой схемы будут уровни 1 и 0. Логическая функция 2ИЛИ верхней схемы будет равна 1. Тогда выход верхней схемы 2ИЛИ-НЕ будет в состоянии 0, что соответствует начальному предположению о состоянии 0 выхода всей схемы.

Получается, что при нулевых значениях на входах R и S любое из двух возможных состояний 0 или 1 выхода схемы является устойчивым состоянием.

Предположим теперь, что на вход R поступает короткий импульс логической единицы 1. Логическая функция 2ИЛИ верхней схемы будет во время этого импульса равна 1 независимо от значения напряжения на втором входе верхней схемы 2ИЛИ-НЕ. Тогда на выходе верхней схемы 2ИЛИ-НЕ будет логический 0. Логический 0 на выходе всей схемы останется в устойчивом состоянии и после окончания импульса логической 1 на входе R . Следовательно, импульс на входе R сбрасывает выход всей схемы в состояние 0, то есть выполняет функцию reset.

Предположим теперь, что на вход S поступает короткий импульс логической единицы 1. Логическая функция 2ИЛИ нижней схемы будет во время этого импульса равна 1 независимо от значения напряжения на втором входе нижней схемы 2ИЛИ-НЕ. Тогда на выходе нижней схемы 2ИЛИ-НЕ будет логический 0. Это напряжение поступает на один из входов верхней логической схемы 2ИЛИ-НЕ. На обоих входах верхней логической схемы 2ИЛИ-НЕ при этом логические 0. Логическая функция 2ИЛИ верхней схемы будет равна 0. Тогда на выходе верхней схемы 2ИЛИ-НЕ будет логическая 1. Логическая 1 на выходе всей схемы останется в устойчивом состоянии и после окончания импульса логической 1 на входе S . Следовательно, логическая 1 на входе S устанавливает выход всей схемы в состояние 1, то есть выполняет функцию set.

Рассматриваемый RS -триггер является элементарной ячейкой памяти, в которую можно записать одно из двух состояний 0 или 1. Записанное состояние остается в этой ячейке памяти и после того, как пропадает импульс записи, остается до выключения питания.

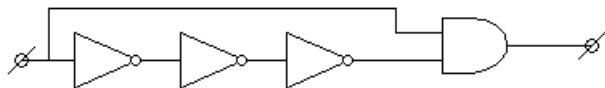
Этот принцип сохранения состояния используется и в более сложных микросхемах памяти.

Логические иголки. Одновибратор.

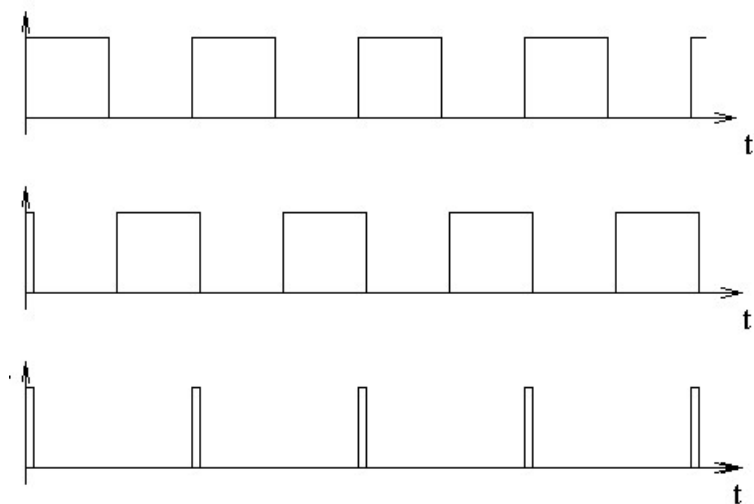
В сложных схемах комбинационной логики возможны непредвиденные короткие импульсы на выходах, связанные с разным временем распространения логических сигналов по разным путям. Эти короткие импульсы называют

логическими иголками. Логические иголки могут приводить к неожиданным срабатываниям логических схем.

В следующей схеме, если не учитывать конечное время распространения логического сигнала через каждый из трех инверторов, сигнал на выходе схемы 2И всегда ноль.



С учетом задержки распространения на выходе появляется короткий импульс при каждом перепаде вверх напряжения на входе схемы. Эту схему можно назвать одновибратором.

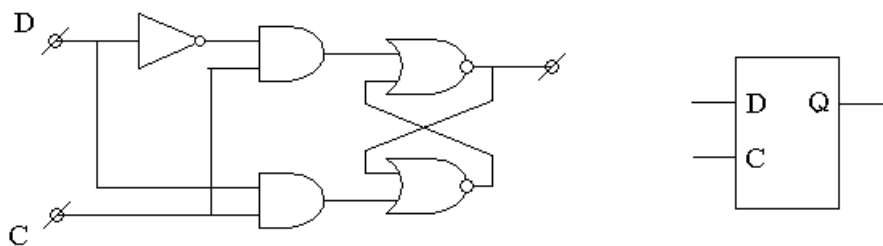


В сложных схемах короткие логические иголки могут представлять серьезную проблему. Для ее устранения была придумана синхронная последовательная логика.

Суть работы схем синхронной последовательной логики состоит в том, что они анализируют входные сигналы только на фронте так называемого тактового сигнала.

D-триггер защелка (latch).

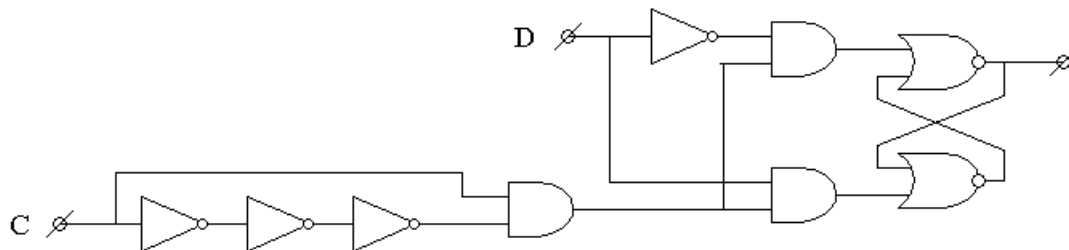
В схеме, приведенной ниже, справа RS -триггер, выполненный на двух схемах ИЛИ-НЕ. Напряжение с верхнего D -входа схемы (вход данных Data) проходит на верхний или нижний вход RS -триггера и может сбросить или установить RS -триггер, но только в том случае, когда на нижнем C -входе (тактовом входе Clock) разрешающее высокое напряжение.



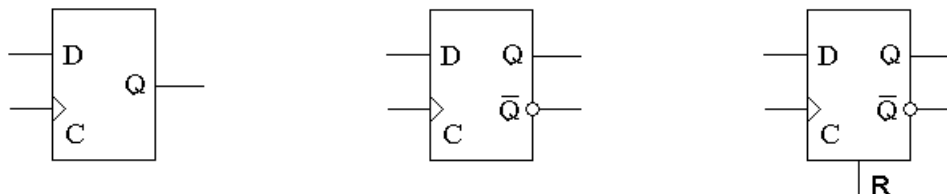
Если на нижний вход подать короткий импульс, то RS -триггер установится или сбросится в зависимости от состояния верхнего входа именно в момент короткого синхроимпульса.

Если на нижний вход подавать сигнал через одновибратор, то изменение состояния выхода схемы будет возможно только по переднему фронту тактового импульса на входе одновибратора.

Это возможный вариант схемы D -триггера.



Вся эта схема D -триггера обозначается, как



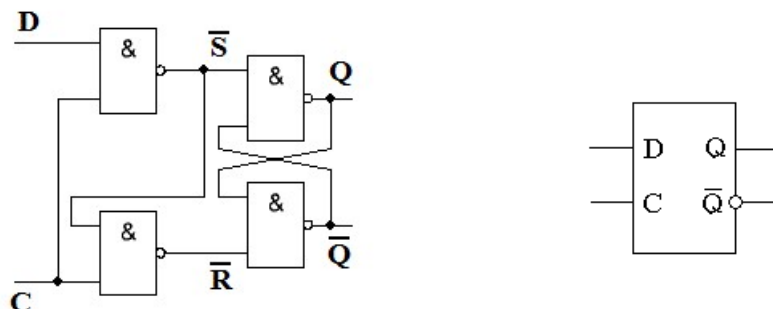
Здесь D — это вход данных, Q — выход, треугольником обозначен тактовый вход C , если срабатывание схемы (D -триггера) происходит по фронту, а не по уровню, тактового импульса.

Flip-flop D trigger. (шлёп-шлёп триггер)

D -триггеры бывают двух типов.

Первый тип — D -триггер защелка (latch), который срабатывает по уровню входа C . Этот тип D -триггера мы уже обсуждали в прошлом вопросе, как некоторую промежуточную схему перед обсуждением D -триггера срабатывающего по фронту тактового импульса.

На рисунке ниже приведен еще один вариант D -триггера защелки.

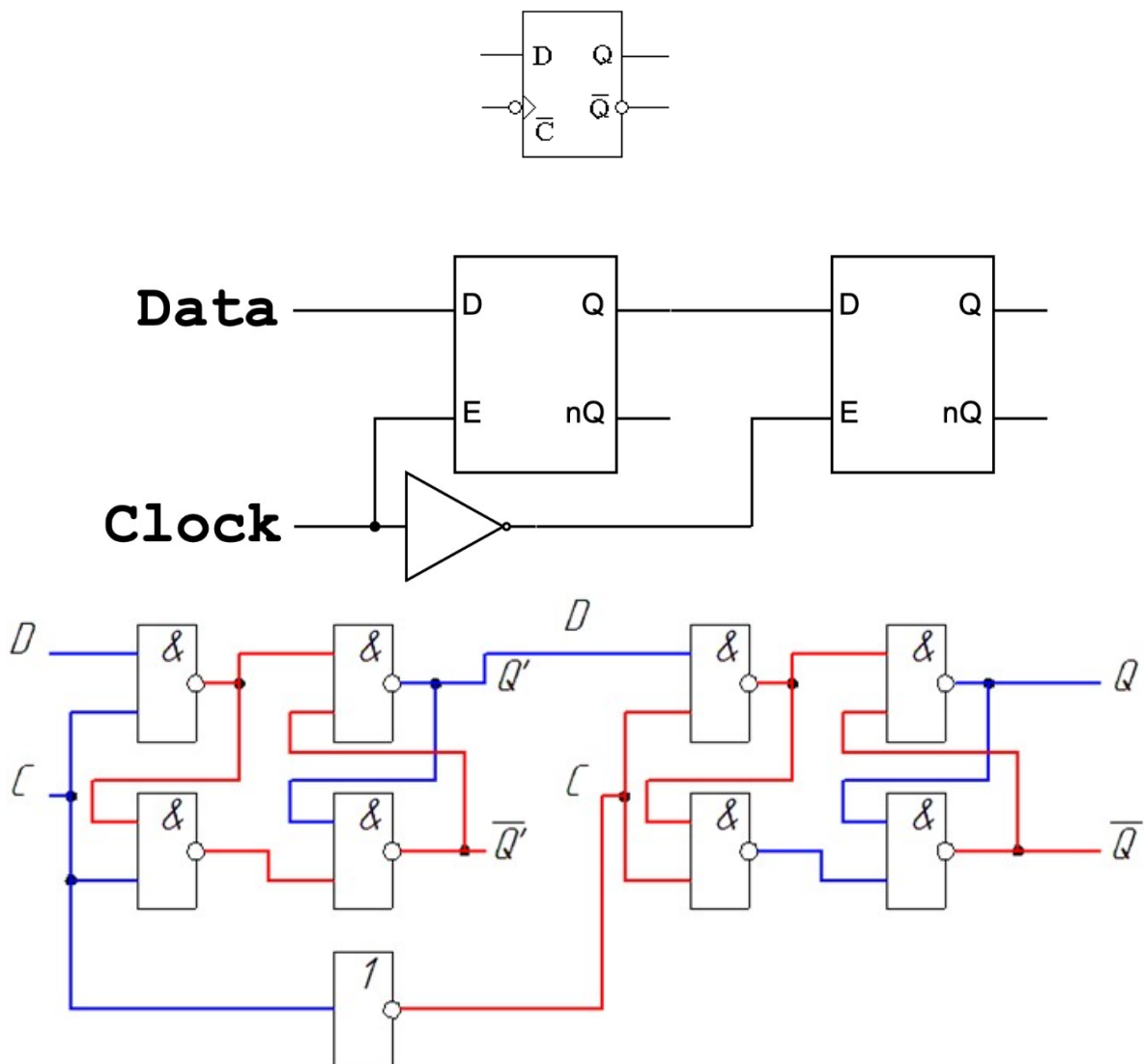


Здесь вторая пара схем 2И-НЕ — это RS -триггер, запись в который происходит низким логическим уровнем. Вход C является входом разрешения для двух левых схем 2И-НЕ. Если на входе разрешения высокий логический

уровень, то выходы двух левых схем 2И-НЕ имеют противоположные логические значения. При этом они переводят правую пару 2И-НЕ либо в состояние Set, либо в состояние Reset.

Заметим, что состояние триггера защелкивается в момент перехода на низкий уровень входа С, а пока вход С остается на высоком логическом уровне сигнал с линии данных пропускается на выход Q. Если при высоком уровне на входе С уровень входа D изменяется, то одновременно изменяется выход Q. Если изменения на входе D происходят несколько раз за время высокого уровня на входе С, то несколько раз изменяется напряжение на выходе Q. Это может быть неудобно.

Это неудобство исключено во втором типе D-триггера, который срабатывает по фронту. Вместо рассмотренного нами ранее варианта D-триггера с одновибратором в микросхемах используется другой вариант D-триггера, который срабатывает по фронту тактового импульса, это так называемый flip-flop trigger.

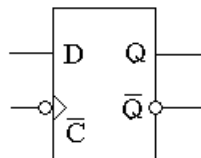


При переходе входа С на высокий уровень во вторую слева пару схем 2И-НЕ происходит передача состояния входа D, как в рассмотренную ранее D-триггер защелку. Тактовый вход С правой четверки схем 2И-НЕ при этом

остается низким, запрещающим запись в правый D-триггер защелку. То есть при изменениях входа D левой защелки при высоком уровне входа С левой защелки напряжение на выходе правой защелки не изменяется и вообще остается в состоянии, которое было до прихода высокого уровня на вход С левой защелки.

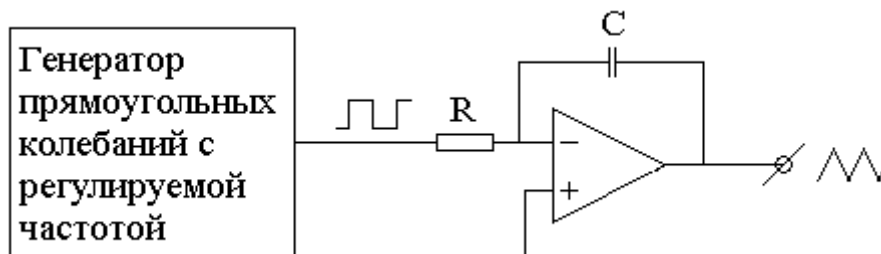
При переходе входа С левой защелки на низкий уровень левая защелка запоминает состояние входа D левой защелки и оставляет его на выходе левой защелки. Одновременно появляется высокий уровень на входе С правой защелки. Это позволяет запомнить в правую защелку данные, которые в этот момент были сохранены в левой защелке.

В результате данный flip-flop D trigger срабатывает по перепаду вниз на тактовом входе левой защелки. Соответственно его обозначение будет следующим:

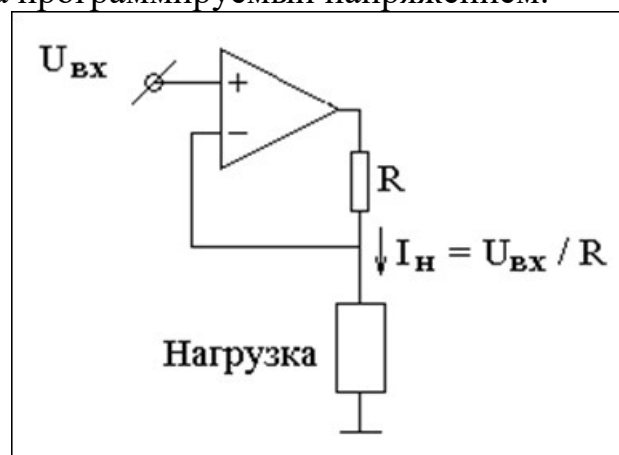


Негодные схемы (на дом).

Генератор треугольных колебаний с регулируемой частотой:



Источник тока программируемый напряжением:



Источник тока 200 мА:

