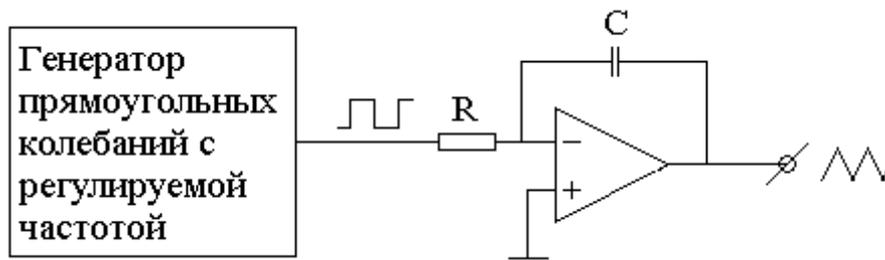
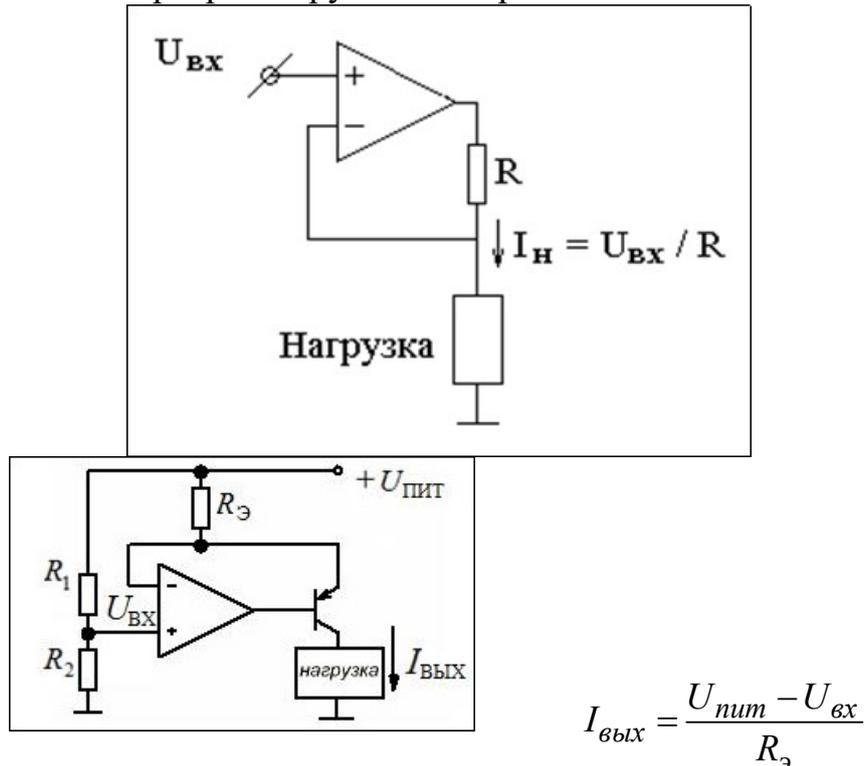


### Негодные схемы (проверка).

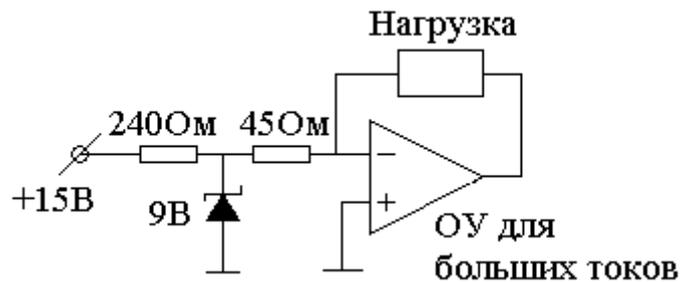
Генератор треугольных колебаний с регулируемой частотой:



Источник тока программируемый напряжением:

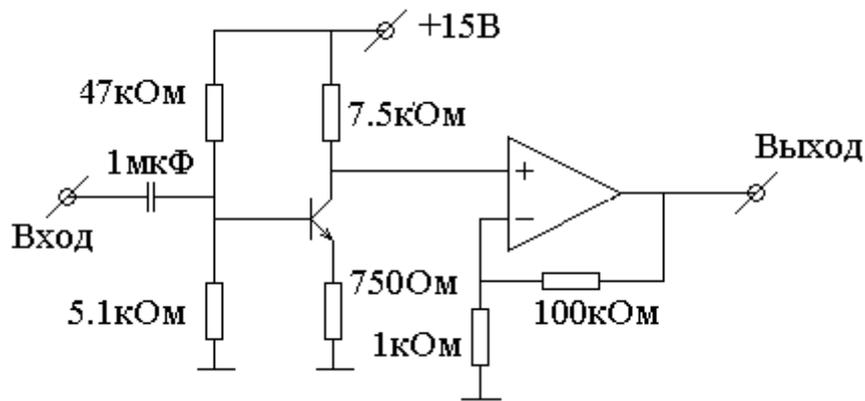


Источник тока 200 мА:

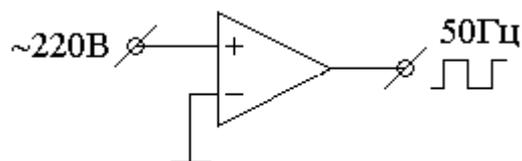


### Негодные схемы (на дом).

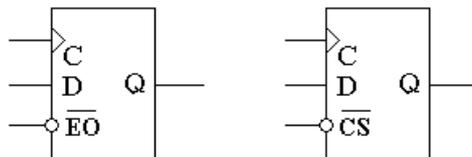
Выходной каскад на ОУ со стократным усилением для звуковых частот:



Детектор нуля:



### Выходы с тремя состояниями.



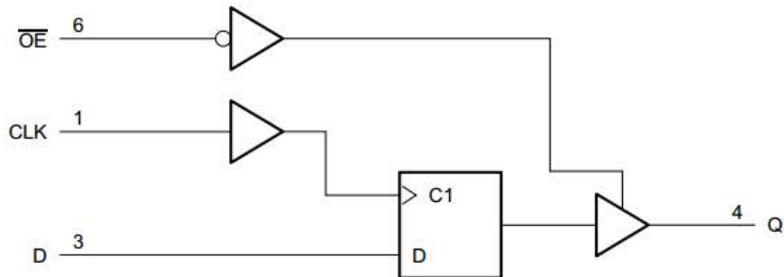
Выходы с тремя состояниями. Здесь  $\overline{EО}$  (enable output) — разрешение выхода низким уровнем напряжения. Если на входе  $\overline{EО}$  высокий уровень энергии, то выход находится в состоянии с высоким выходным сопротивлением. Обозначение  $\overline{CS}$  (chip select) действует ровно так же, как и  $\overline{EО}$ . Состояние на выходе появляется на переднем фронте тактового входа C.

Пример D-триггера с тремя состояниями SN74LVC1G374-Q1 — Single D-Type Flip-Flop with 3-State Output:

**Table 1. FUNCTION TABLE**

INPUTS			OUTPUT Q
OE	CLK	D	
L	↑	L	L
L	↑	H	H
L	H or L	X	Q
H	X	X	Z

**LOGIC DIAGRAM (POSITIVE LOGIC)**



**Регистр. Шина. Память.**

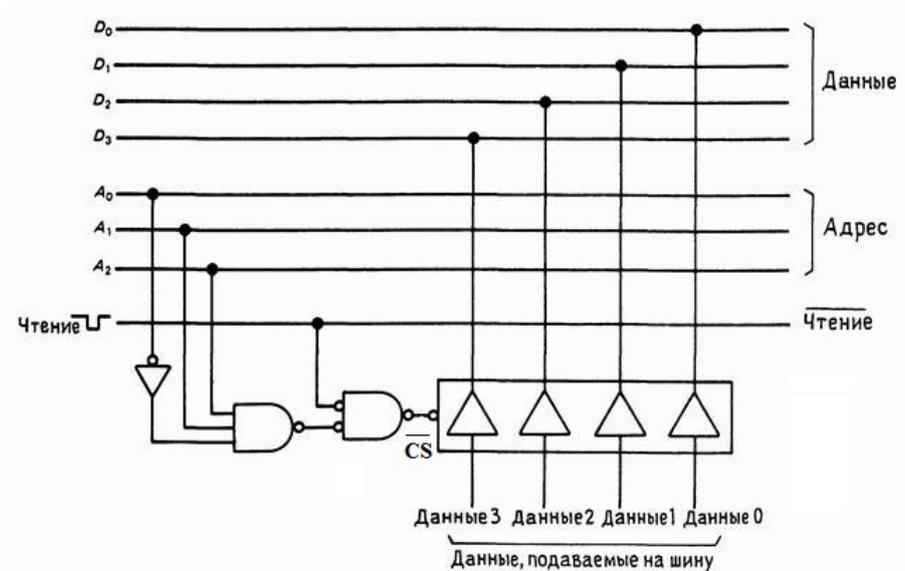
Регистр — несколько параллельных D-триггеров с выходами с тремя состояниями. Много регистров может быть в одной микросхеме — это микросхема памяти.

Допустим, что в каждом регистре 8 D-триггеров — 8 бит или 1 байт. Допустим, что в микросхеме 1 гигабайт памяти (1GB или 1ГБ). Если у каждого регистра микросхемы будут свои выходы (ножки) данных, то микросхема должна иметь 8 миллиардов (точнее  $2 \cdot 10^{33}$ ) ножек выходов регистров. Ни в каждую комнату поместится такая микросхема.

Вместо такого большого числа выходов можно оставить 8 выходов данных (или 4 или 16 или 32 или 64) — так называемая шина данных. Каждый из регистров микросхемы имеет выходы с тремя состояниями. В каждый момент времени к шине данных подключены выходы не более чем одного регистра. Иначе один регистр будет стремиться удерживать на какой-то линии данных высокое напряжение логической единицы, а другой регистр в тот же момент времени на той же линии будет удерживать низкое напряжение логического нуля.

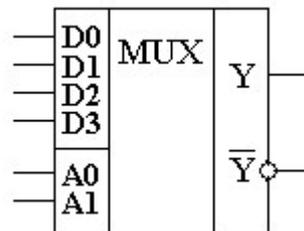
Чтобы задать микросхеме, какой именно регистр должен в данный момент подключить свои выходы к шине данных, нужна адресная шина.

Пример регистра, который передает данные на шину, если на адресной шине установлен адрес  $b=110_2$ ,



три логических схемы слева выполняют функцию, которую в микросхеме памяти выполняет встроенный в микросхему мультиплексор.

Микросхемы памяти — множество регистров с разными последовательными адресами и мультиплексор для каждого бита данных.



### JK-триггер.

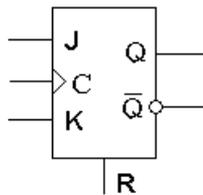
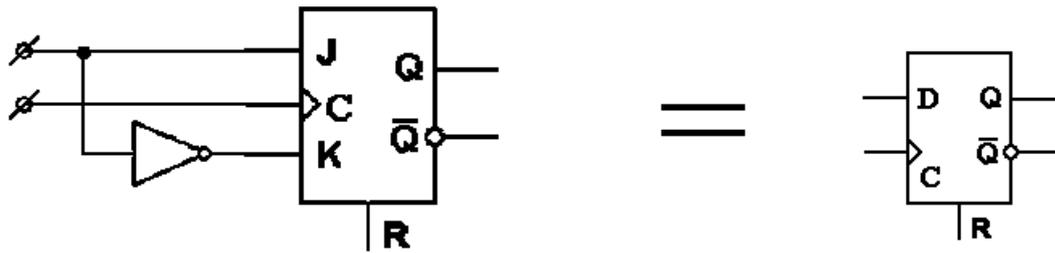


Таблица истинности JK-триггера:

J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\neg Q_n$

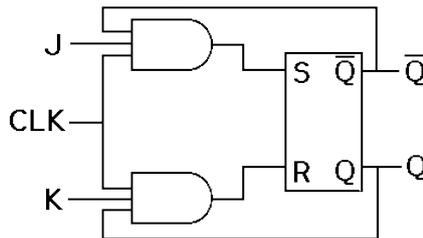
JK-триггер работает так же как RS-триггер, с одним лишь исключением: при подаче логической единицы на оба входа J и K состояние выхода триггера изменяется на противоположное, то есть выполняется операция инверсии (чем он отличается от RS-триггеров с доопределённым состоянием, которые строго переходят в логический ноль или единицу, независимо от предыдущего состояния). Вход J аналогичен входу S у RS-триггера. Вход K аналогичен входу R у RS-триггера.

Если с J входа через инвертор подать сигнал на K вход, то получится D-триггер.

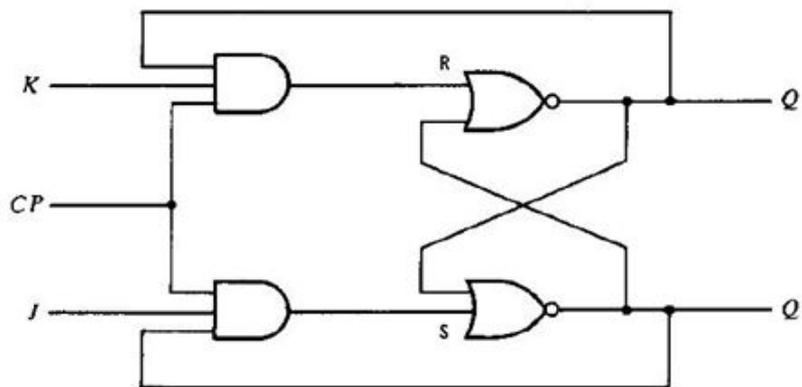


Если задать постоянные значения  $J=1$  и  $K=1$ , то получится T-триггер.

Пример упрощенной неработоспособной модели JK-триггера, который перебрасывается только от очень короткого тактового импульса:



Ниже эта же схема, в которой RS-триггер представлен более подробно:



(a) Logic diagram

$Q$	$J$	$K$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(b) Characteristic table

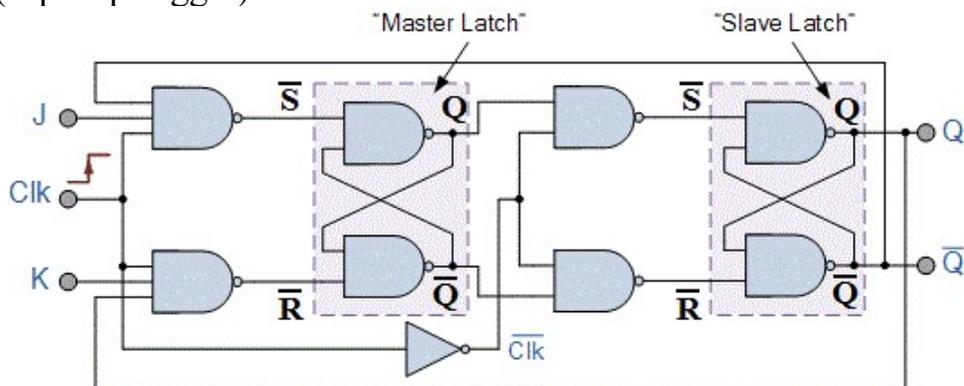
$Q$	$JK$		$J$	
	00	01	11	10
0			1	1
1	1			1

$Q(t+1) = JQ' + K'Q$

(c) Characteristic equation

Недостатком этой схемы является то, что при одновременном высоком уровне на входах J и K и постоянно высоком уровне напряжения на входе CP выходы схемы непрерывно переключаются с максимально высокой частотой, которая определяется быстродействием логических схем И и ИЛИ-НЕ.

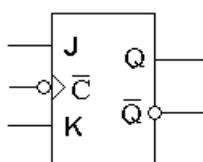
Этот недостаток устранен в так называемой двухступенчатой схеме триггера (flip flop trigger):



Здесь при высоком уровне на тактовом входе Clk входы J и K работают как входы Set и Reset для первого RS-триггера, за исключением одного состояния входов J=1 и K=1. Вход правой половины схемы при этом закрыт для изменений низким уровнем входа разрешения (инвертированным уровнем Clk). На перепаде вниз на тактовом входе Clk закрывается для изменений левая половина схемы, и открывается правая половина. При этом состояние левого RS-триггера записывается в правый RS-триггер.

Если же на входах J=1 и K=1, то непрерывного переключения выходов не происходит, так как одна из двух последовательных защелок всегда закрыта. Состояние выходов схемы в этом случае изменяется на противоположное состояние только по фронту вниз на тактовом входе схемы Clk.

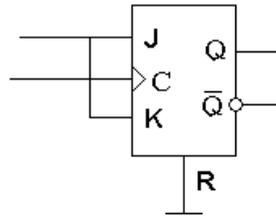
Соответственно обозначение схемы должно быть следующим:



### Т-триггер.

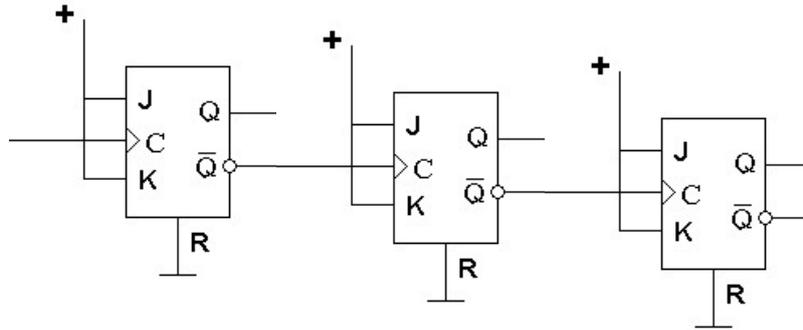
Если соединить входы J и K любого JK-триггера, то из JK-триггера получится так называемый Т-триггер, который переключается в противоположное состояние при каждом тактовом импульсе, если на входах высокий логический уровень, и остается в прежнем состоянии, если на входах низкий уровень (первая и четвертая строки таблицы истинности).

J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$



### Асинхронный счетчик.

На основе JK-триггера легко сделать делитель частоты импульсов на 2:



Асинхронный счетчик — несколько делителей частоты на 2 на JK-триггерах. Каждый инвертированный выход предыдущего триггера соединен с тактовым входом следующего триггера. Если тактовые входы инвертированы, то неинвертированный выход соединяют с тактовым входом следующего триггера.

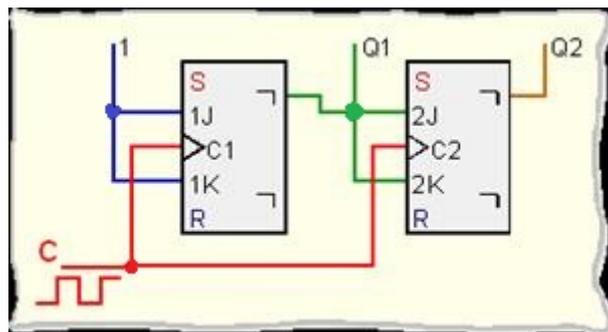
Входы J и K всех триггеров можно соединить и рассматривать, как вход разрешения счета общей схемы счетчика.

### Синхронный счетчик. Реверсивный счетчик.

Недостатком асинхронного счетчика является то, что биты счетчика меняются последовательно во времени, а не одновременно. В результате можно прочесть состояние счетчика, когда одна часть битов успела перейти в новое состояние, а другая часть — не успела.

Этот недостаток устранен в синхронном счетчике, в котором выходы всех битов изменяются одновременно.

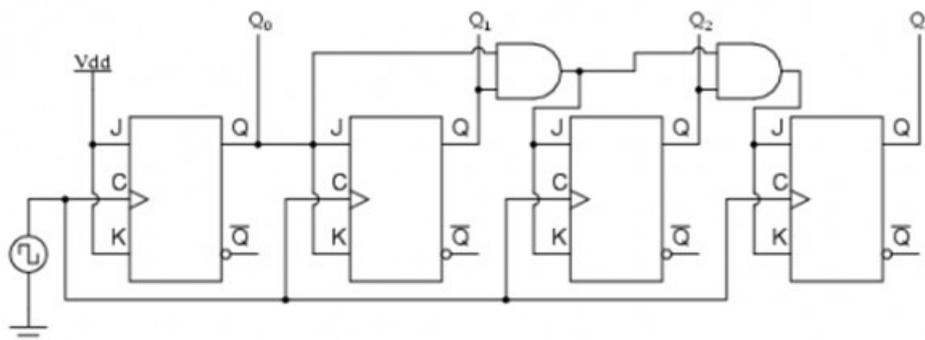
Два младших бита синхронного счетчика могут работать по следующей схеме.



По фронту вверх тактового импульса состояния выходов изменяются, а по фронту вниз выходы можно прочесть без опасности, что один из выходов переключился, а другой — не успел.

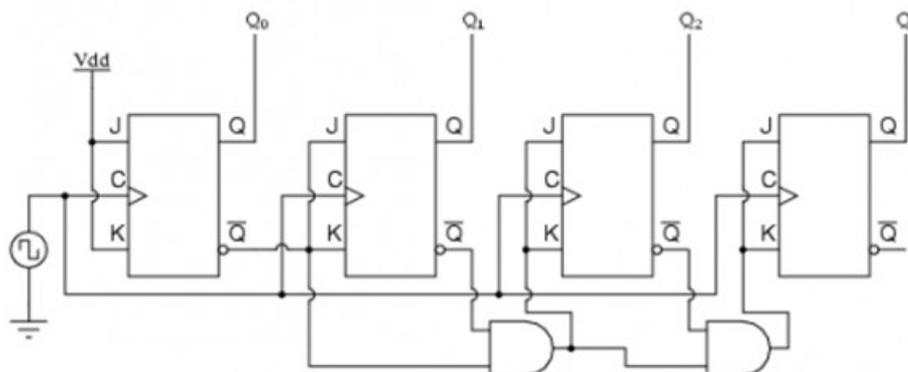
Если битов больше двух, то следующий бит должен переключаться только в том случае, когда каждый из предыдущих битов равен логической единице. Это условие проверяют дополнительные схемы И:

*Синхронный четырёхразрядный счётчик*



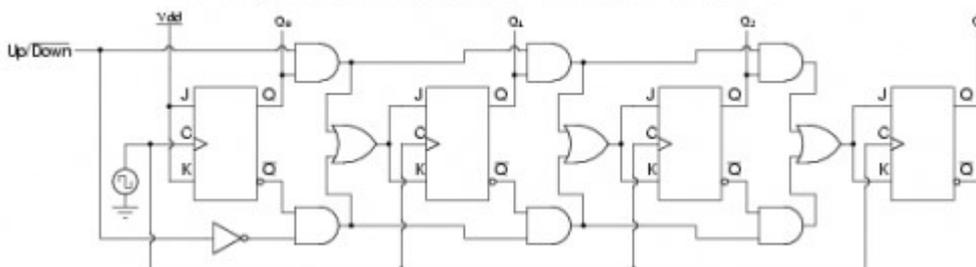
Если считать нужно в обратную сторону, то изменение следующего разряда нужно производить только в том случае, если каждый из предыдущих разрядов равен логическому нулю:

*Четырёхразрядный синхронный счётчик обратного счёта*



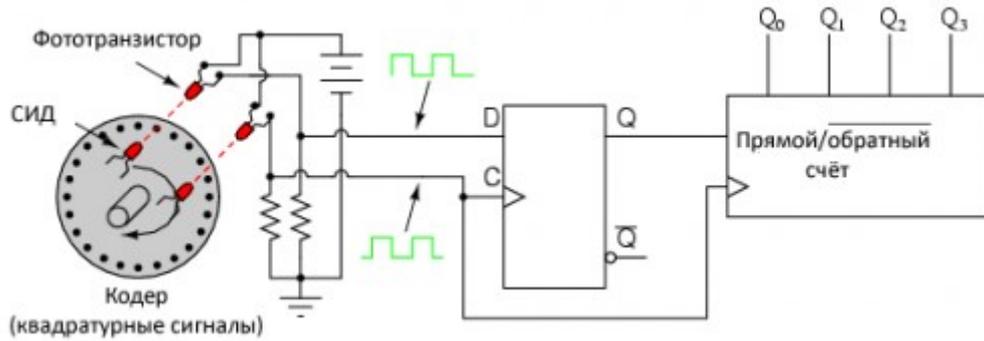
В следующей схеме переключение происходит в одном из предыдущих вариантов и зависит от логического уровня на входе *Up / Down*.

*Универсальный четырёхразрядный синхронный счётчик*



В следующей схеме фотодиоды перекрываются со сдвигом на четверть периода, так что фронт тактового импульса попадает на середину импульса данных D-триггера. При вращении диска в одну сторону на переднем фронте тактового импульса будет логическая единица на входе данных, а при вращении в другую сторону — логический ноль. Соответственно последующий

счетчик будет считать в одну или другую сторону. В результате счетчик показывает угол поворота независимо от того, как поворачивался диск.



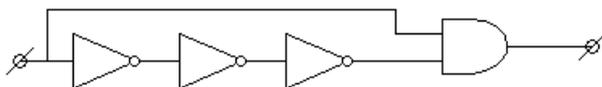
На самом деле, если диск дрожит, так что на входе C появляются импульсы, а на входе D остается постоянное напряжение, то будут ложные срабатывания, и ошибка в угле поворота диска. Чтобы устранить этот дефект требуется схема со следующей таблицей истинности:

$$\left. \begin{array}{l} D = 1 \\ C \uparrow \end{array} \right\} \rightarrow +1$$

$$\left. \begin{array}{l} D = 1 \\ C \downarrow \end{array} \right\} \rightarrow -1$$

которая добавляет единицу в счетчик, когда на входе D разрешающий высокий уровень, а на C входе — перепад напряжения вверх. Аналогично, когда на входе D разрешающий высокий уровень, а на C входе — перепад напряжения вниз, схема должна вычитать единицу в счетчике.

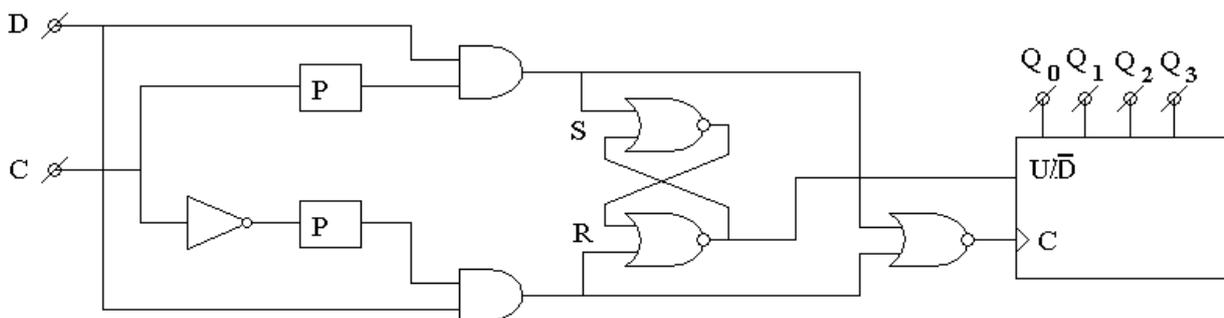
Если схему одновибратора по фронту вверх



для краткости обозначить, как

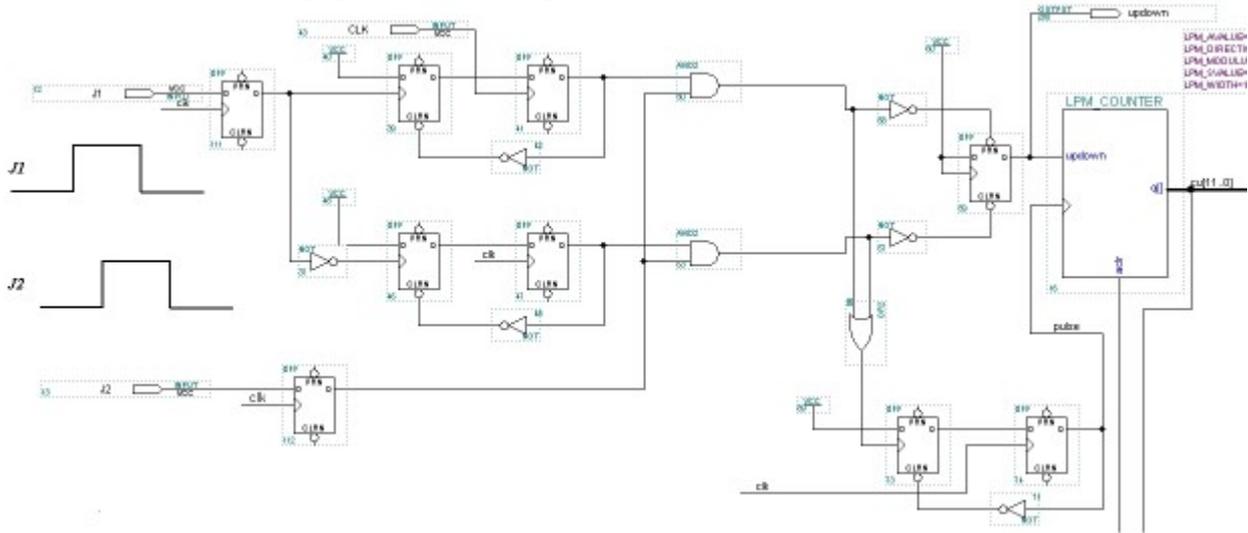


то необходимую функцию можно обеспечить следующим образом:

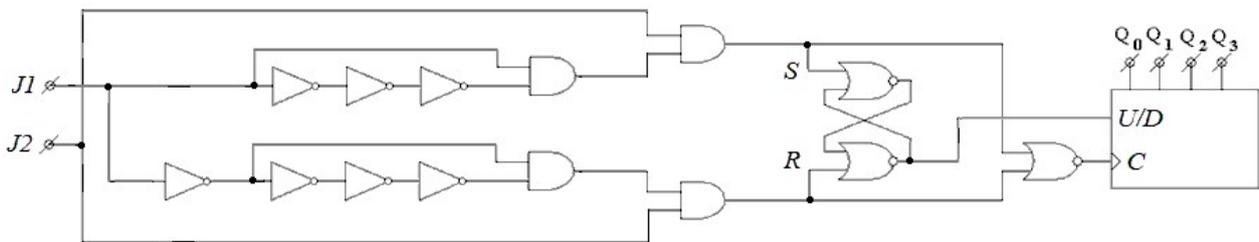


Двумя одновибраторами  $P$  формируются короткие импульсы по переднему и заднему фронту на входе схемы  $C$ . Только в случае разрешающего высокого уровня на входе  $D$  эти импульсы попадают на тактовый вход реверсивного счетчика справа. Эти же импульсы переключают направление счета реверсивного счетчика с помощью  $RS$ -триггера. Реверсивный счетчик справа по тактовому входу  $C$  срабатывает по заднему фронту импульса одновибратора, чтобы  $RS$ -триггер по переднему фронту того же импульса успел при необходимости переключить направление счета раньше сигнала по тактовому входу счетчика.

Аналогичная фирменная микросхема:



Идея схемы та же, что и у моей схемы:



где  $\text{AND}$  — логические схемы 2И,  $\text{AND-OR}$  — логические схемы 2ИЛИ.

Реализация фирменной схемы, вероятно, более надежна. В фирменной схеме все изменения происходят по тактовому импульсу, что исключает возможность разной скорости реакции разных частей схемы на изменение входного напряжения.

Дальше я приведу сравнение двух схем, отмечая узлы, которые выполняют аналогичные функции.

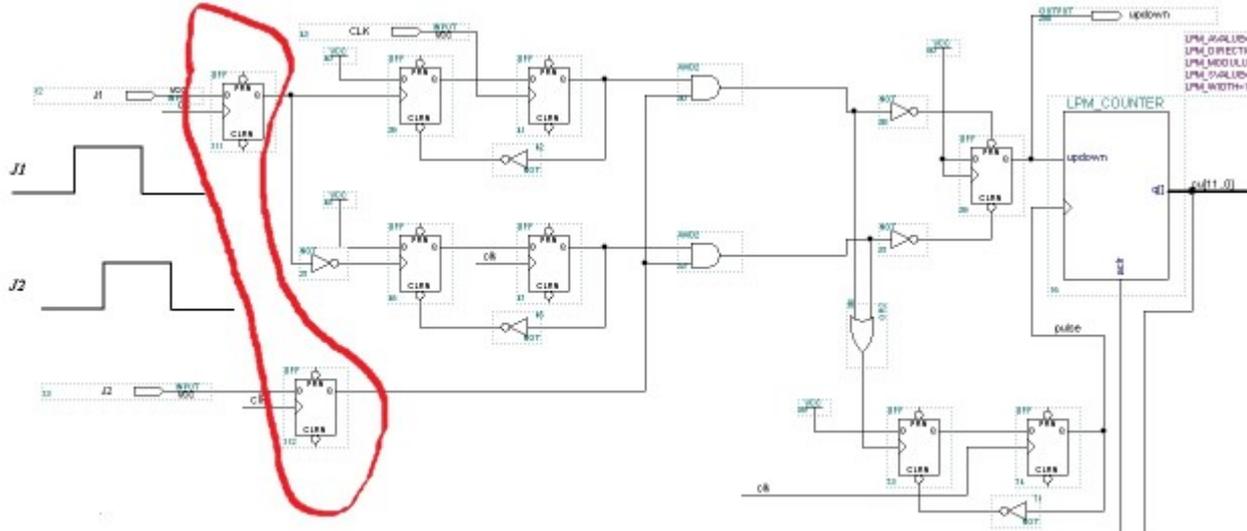
Обе схемы выполняют одинаковые логические функции

$$\left. \begin{array}{l} J2 = 1 \\ J1 \uparrow \end{array} \right\} \rightarrow +1$$

$$\left. \begin{array}{l} J2 = 1 \\ J1 \downarrow \end{array} \right\} \rightarrow -1$$

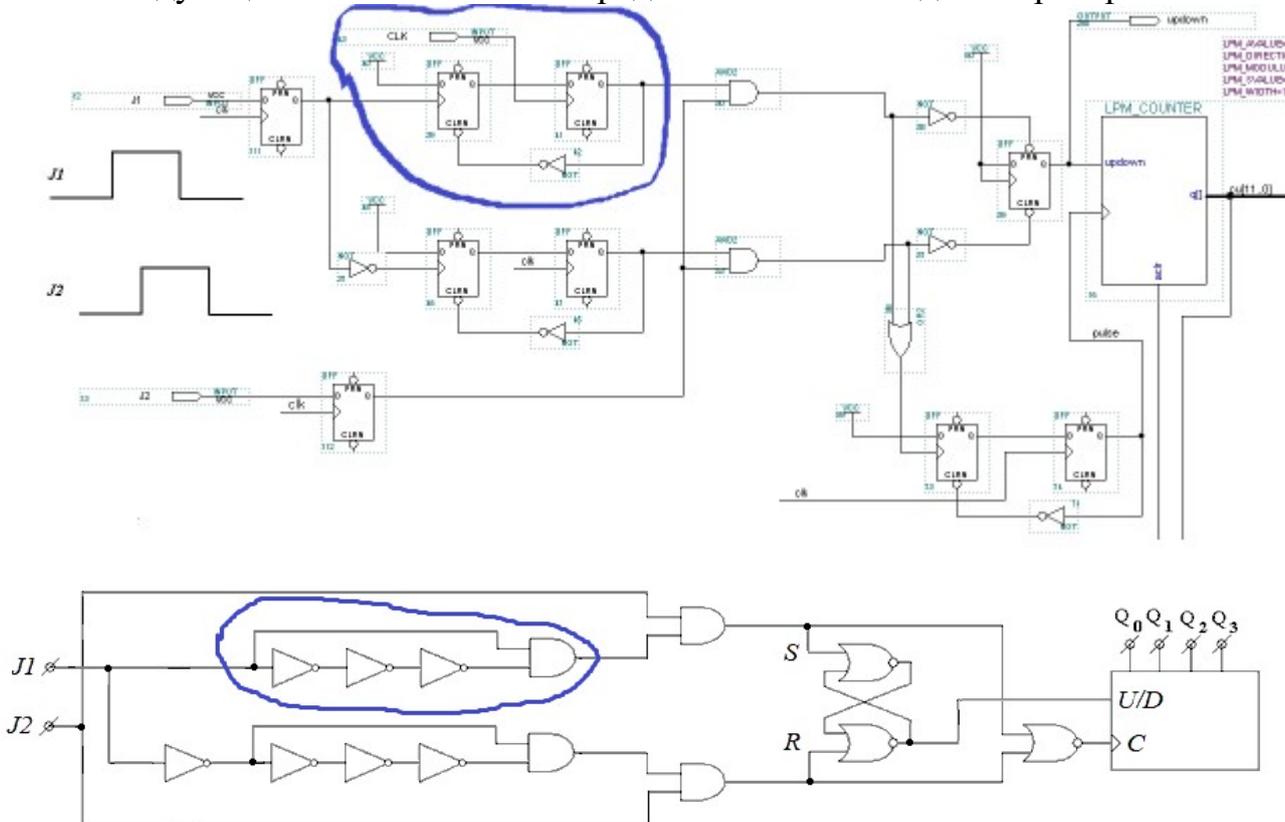
— добавляют единицу в счетчик, когда вход  $J2$  имеет разрешающий высокий уровень, а на входе  $J1$  — перепад напряжения вверх. Аналогично, когда вход  $J2$  имеет разрешающий высокий уровень, а на входе  $J1$  — перепад напряжения вниз, оба варианта схемы вычитают единицу в счетчике.

Д триггеры на обоих входах фирменной схемы



должны устранить возможный дребезг сигнала на частоте сравнимой или больше тактовой частоты, чтобы остальные части схемы реагировали одинаково на входные напряжения.

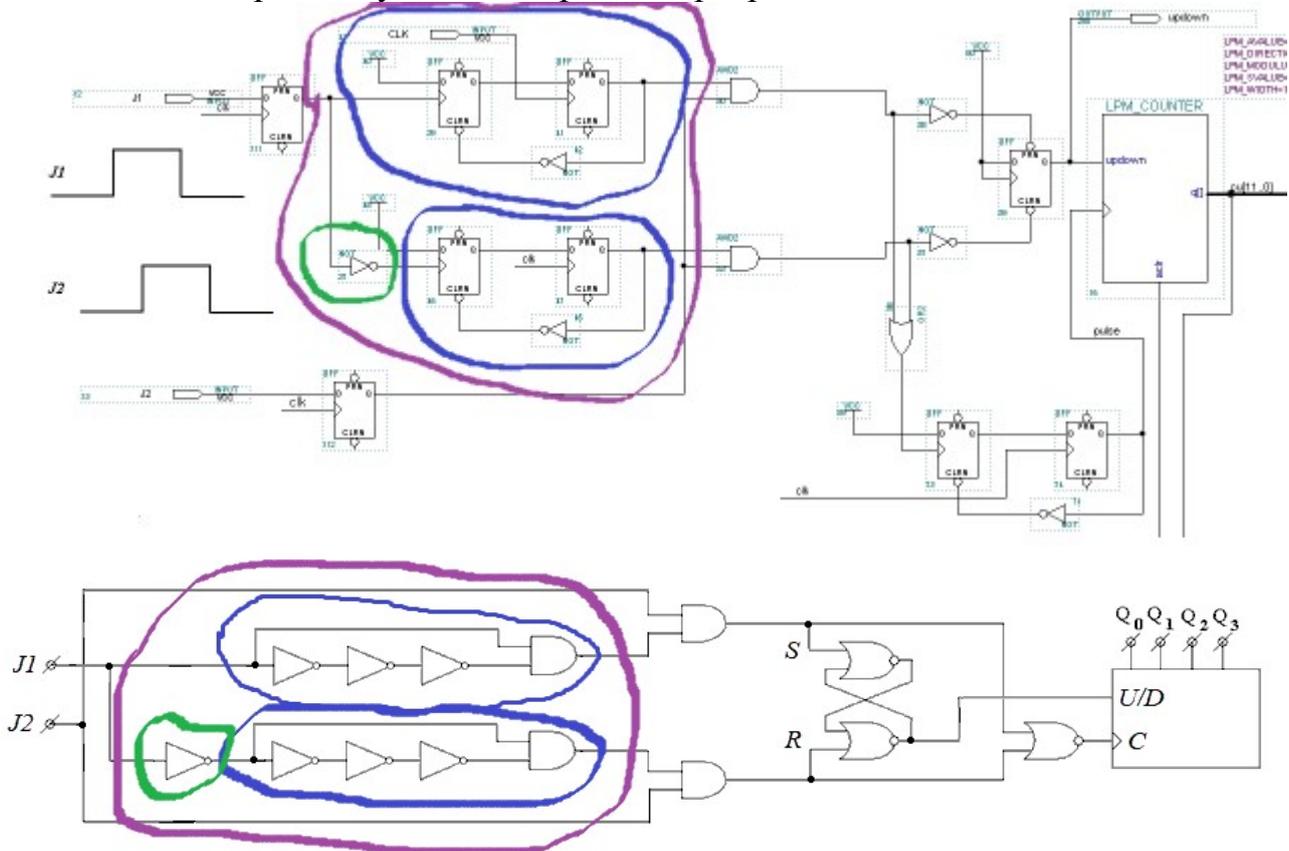
Следующая часть обеих схем представляет собой одновибратор



который формирует короткий импульс по переднему фронту сигнала на своем входе. В моей схеме длительность положительного импульса на выходе равна времени распространения фронта через три инвертора. В случае

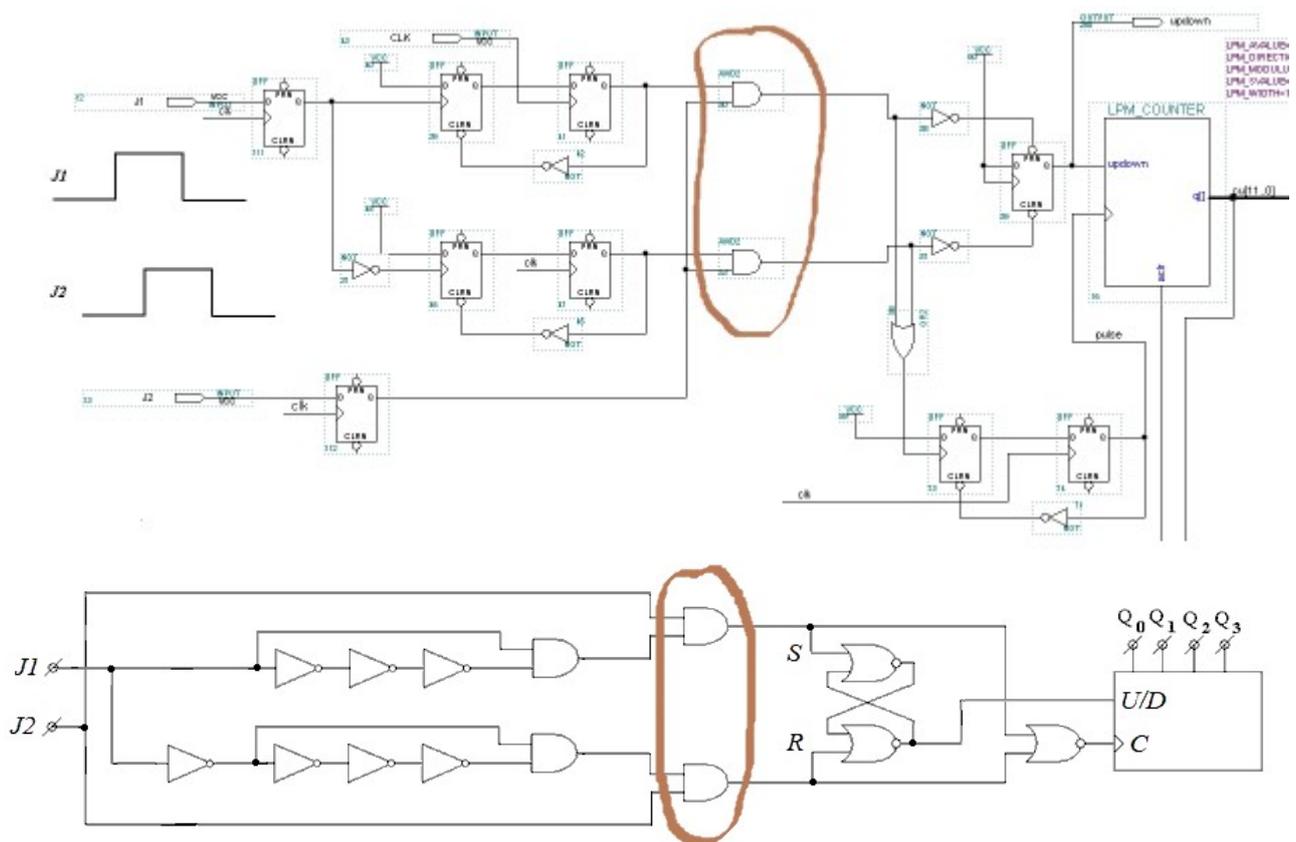
фирменной схемы на выходе одновибратора формируется импульс положительной полярности длительностью равной периоду тактовой частоты, и импульс на выходе задержан на один период тактовой частоты относительно фронта на входе.

Следующая часть схемы содержит два фрагмента одновибраторов, нижний из которых запускается через инвертор.

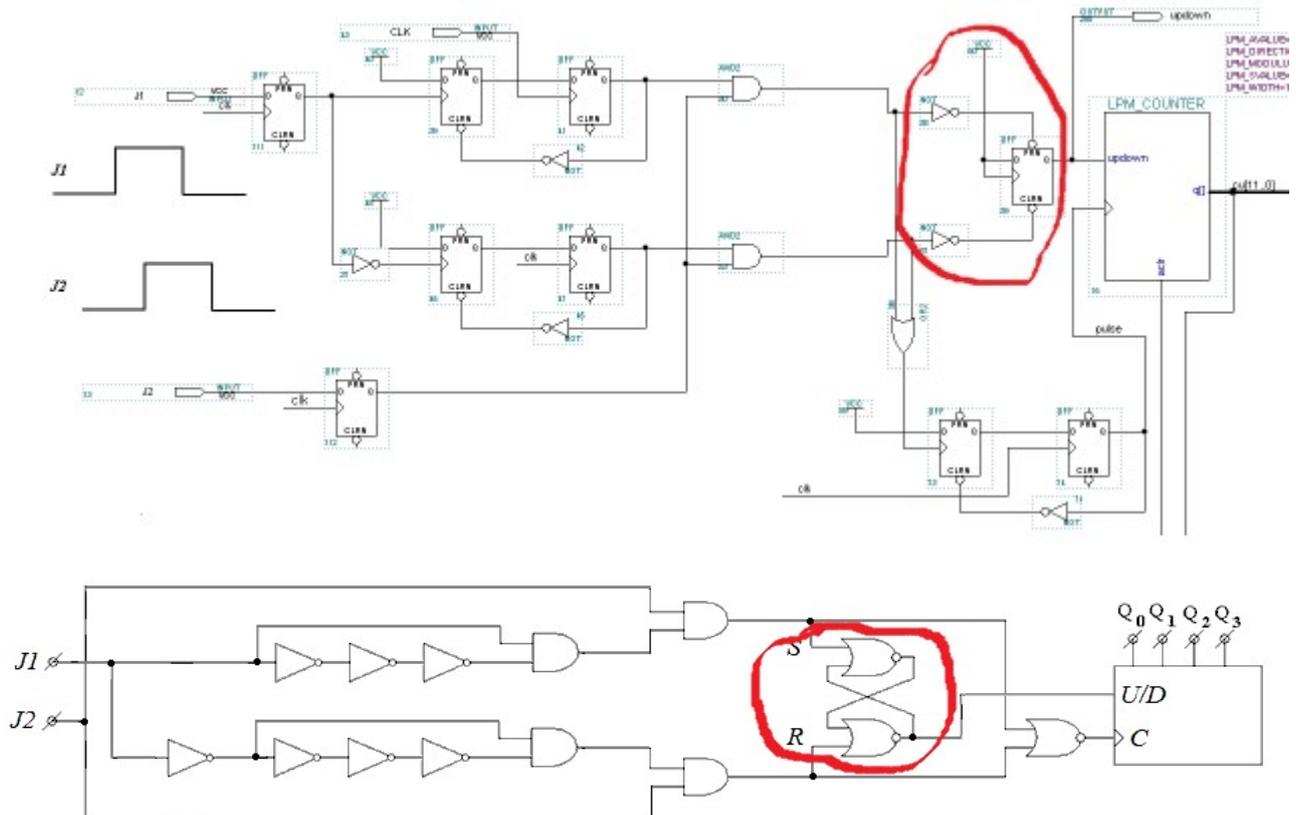


Эта часть схемы формирует положительные импульсы на двух своих выходах по перепаду напряжения на входе  $J1$ . Верхний фрагмент формирует положительный импульс по перепаду снизу вверх, нижний фрагмент после инвертора формирует положительный импульс по перепаду сверху вниз на входе  $J1$ .

Если на входе  $J2$  высокий уровень, то пара разрешающих схем 2И пропускает эти импульсы дальше

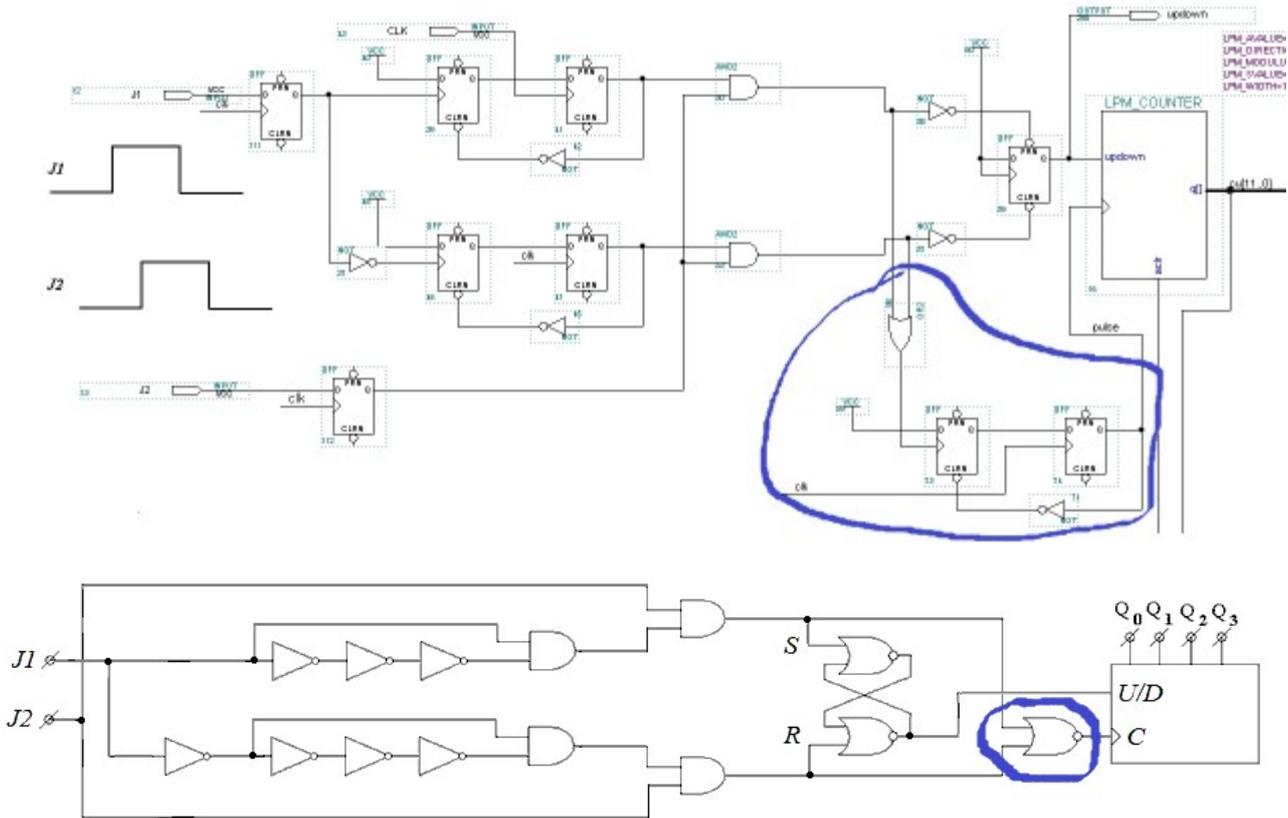


Следующая часть схемы представляет собой RS триггер с двумя входами. Положительный импульс на одном входе (Set) перебрасывает выход RS триггера в состояние логической единицы, положительный импульс на другом входе (Reset) перебрасывает выход RS триггера в состояние логического нуля.



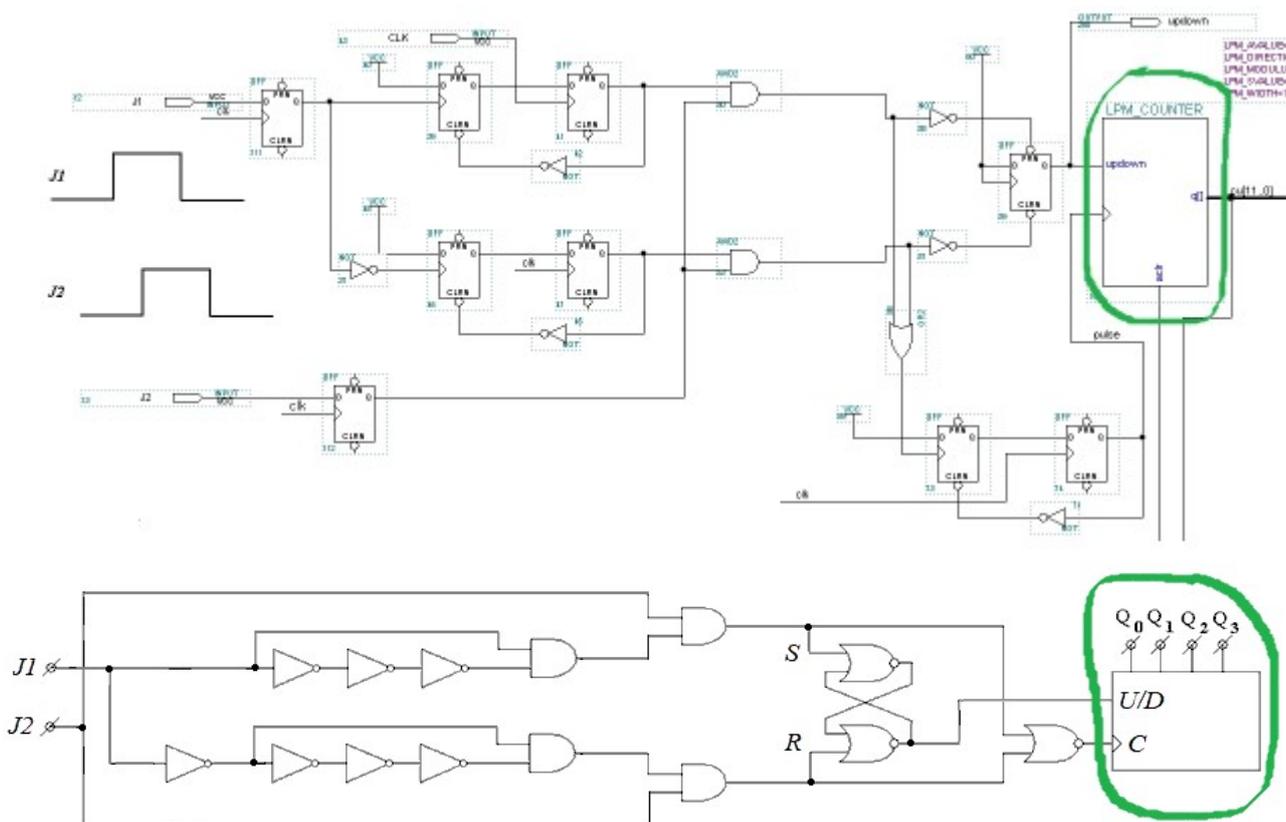
В обоих вариантах схемы верхний вход — Set, нижний — Reset. В фирменном варианте схемы у триггера прямоугольника вход наверху низким уровнем устанавливает выход в единицу, а вход внизу низким уровнем устанавливает выход в ноль.

Следующая часть схемы при разрешающем высоком уровне на входе  $J2$  имеет на одном входе короткий положительный импульс по перепаду снизу вверх на входе  $J1$ , а на другом входе — по перепаду сверху вниз на входе  $J1$ .



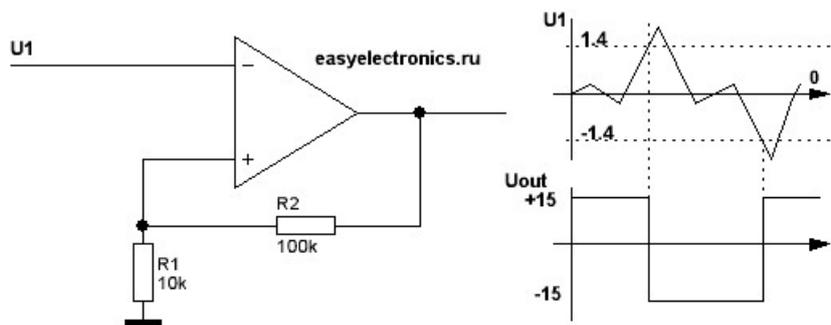
По импульсу на любом входе схема формирует задержанный фронт снизу вверх для тактового входа реверсивного счетчика. Задержка нужна, чтобы счетчик при необходимости успел переключить направление счета до прихода фронта на тактовый вход. В фирменной схеме задержка на один период тактовой частоты формируется одновибратором. В моей схеме инвертор на выходе схемы ИЛИ-НЕ позволяет запустить тактовый вход реверсивного счетчика по заднему фронту импульса с выхода ИЛИ. Возможно, в моем варианте схемы потребуется дополнительная задержка импульса перед тактовым входом счетчика.

Последняя часть схемы — реверсивный счетчик.

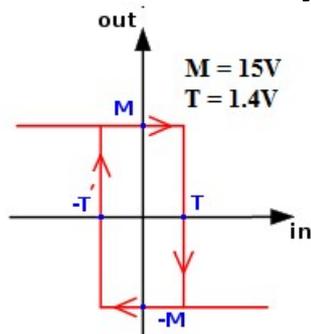


### Триггер Шмитта (еще раз).

Чтобы понять принцип действия триггера Шмитта (Schmitt-Trigger) рассмотрим его реализацию на основе операционного усилителя с положительной обратной связью.

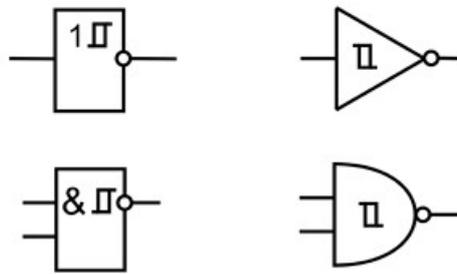


Соответствующая зависимость напряжения на выходе схемы от напряжения на входе представлена на ниже следующем рисунке:



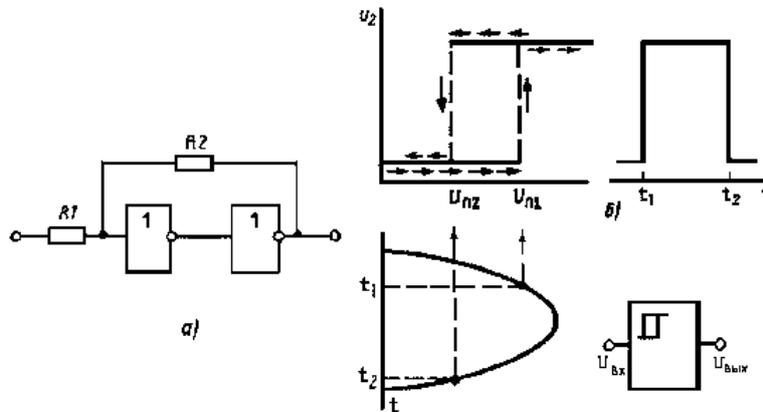
Так выглядит петля гистерезиса, если сигнал подается на инвертирующий вход. Если сигнал подается на не инвертирующий вход, то верх и низ рисунка поменяются местами.

Схематически триггер Шмитта изображается следующим образом:



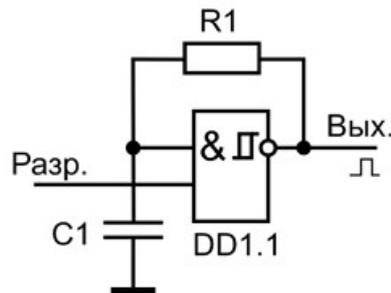
Здесь на верхних рисунках изображен логический инвертор с триггером Шмитта, на нижних — схема И-НЕ с триггером Шмитта.

Триггер Шмитта можно собрать из двух обычных логических инверторов:

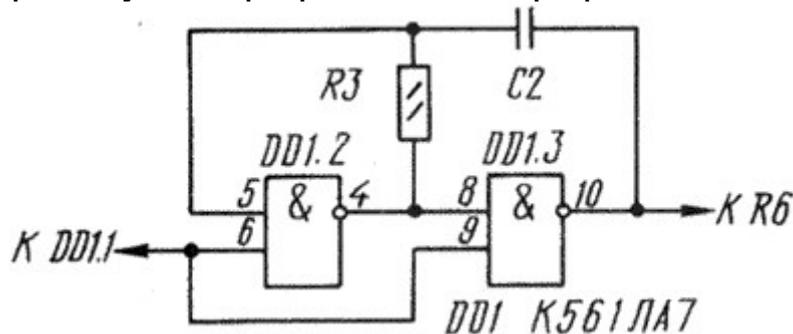


### Генератор прямоугольных импульсов.

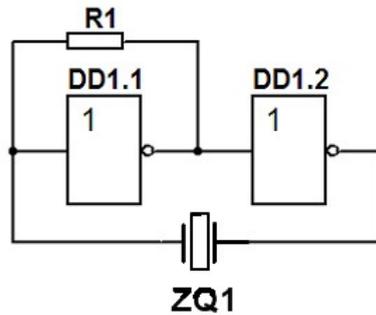
Генератор на триггере Шмитта:



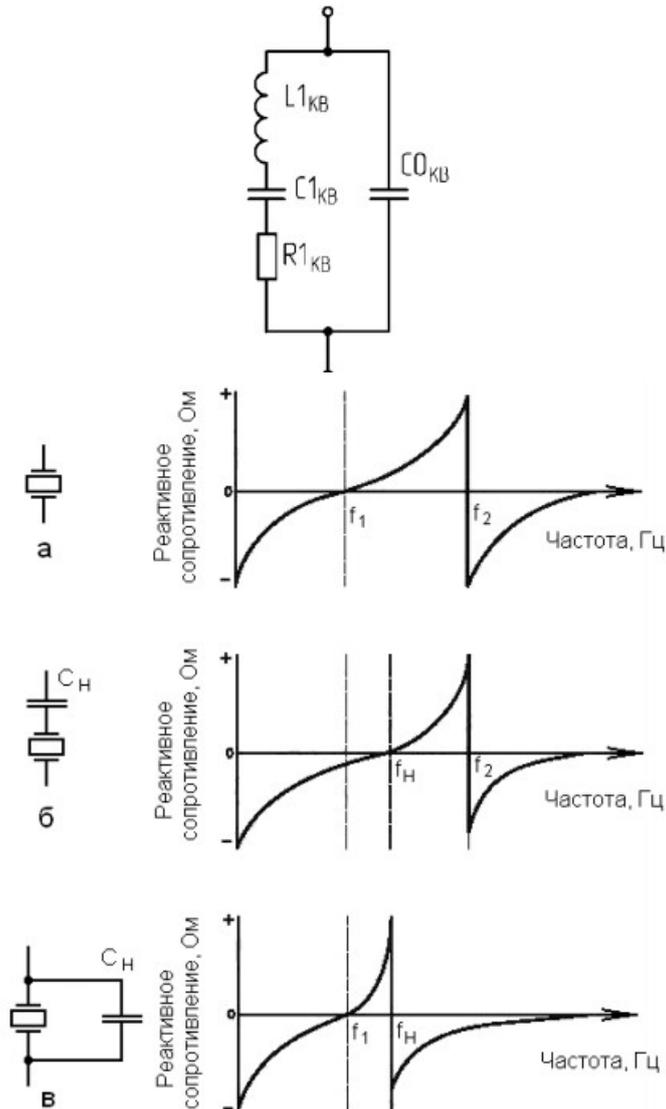
Генератор на двух инверторах со входом разрешения:



Та же схема, только вместо конденсатора стоит кварцевый резонатор:

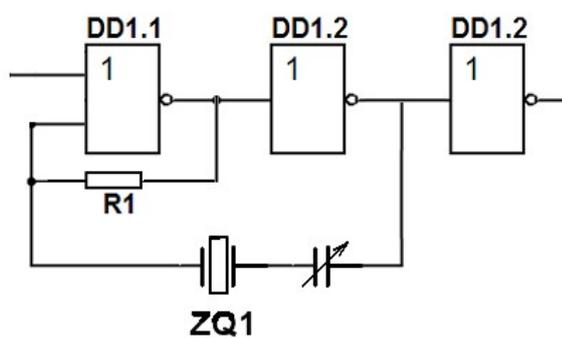


Эквивалентная схема кварцевого резонатора:



Здесь  $f_1$  — резонансная частота последовательного колебательного контура,  $f_2$  — резонансная частота параллельного контура. Если добавить конденсатор последовательно с кварцевым резонатором, то можно подвинуть вверх частоту резонанса последовательного контура. Если добавить конденсатор параллельно кварцевому резонатору, то можно подвинуть вниз частоту резонанса параллельного контура.

Кварцевый генератор с точной подстройкой частоты генерации, входом разрешения генерации и буфером выхода:



Авторы схемы хотят сказать, что генерация будет на той частоте, на которой реактивное сопротивление кварцевого резонатора равно нулю, и обратная связь через него строго положительна.